



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

CF01419905/0

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 2月 1日

出 願 番 号

Application Number:

平成11年特許願第024249号

出 願 人

Applicant (s):

キヤノン株式会社

TECHNOLOGY CENTER 2800

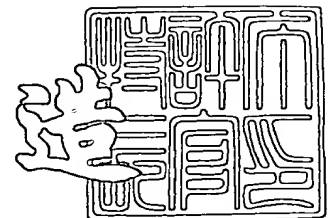
AUG 30 2001

RECEIVED

2000年12月22日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3106874

【書類名】 特許願

【整理番号】 3668023

【提出日】 平成11年 2月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30

【発明の名称】 電子源及び画像形成装置及び電子放出装置の製造方法及び電子線装置の形成方法

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

 【氏名】 茂木 聡史

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703871

特平 1 1 - 0 2 4 2 4 9

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子源及び画像形成装置及び電子放出装置の製造方法及び電子線装置の形成方法

【特許請求の範囲】

【請求項 1】 基板上に、一对の素子電極及び該素子電極間に形成された導電性薄膜に通電処理により形成された電子放出部を有する電子放出素子の複数個と、該一对の素子電極のそれぞれと接続して形成された行方向配線と列方向配線からなる共通配線と、を有する電子源の製造方法において、

前記共通配線を有する面に電界の印加を行うコンディショニング工程を有し、該コンディショニング工程は、該電界を印加するための電極と該基板を対向配置して該電極と該共通配線間に電圧を印加し、該電極と該基板とが形成するコンデンサに蓄えられるエネルギーが、前記導電性薄膜を破壊するエネルギー以下で行われることを特徴とする電子源の製造方法。

【請求項 2】 複数の表面伝導型電子放出素子を備えた電子源の製造方法であって、

基板上に複数対の素子電極を形成する工程、

絶縁層を介して積層された複数本の行方向配線および複数本の列方向配線を前記複数対の素子電極のそれぞれの電極と結線して行列状に共通配線を形成する工程、

各対の素子電極間に導電性薄膜を形成する工程、

各対の素子電極間の前記導電性薄膜に通電処理により電子放出部を形成するフォーミング工程、

前記共通配線を有する面に電界を印加するための電極と該基板を対向配置し、該電極と該共通配線間に電圧を印加することにより該電界の印加を行うコンディショニング工程、を有し、

該コンディショニング工程は、該電極と該基板とが形成するコンデンサに蓄えられるエネルギーが、該導電性薄膜を破壊するエネルギー以下で行われることを特徴とする電子源の製造方法。

【請求項 3】 該コンディショニング工程において、

該電極と該基板の対向する面積が S 、

該電極と該基板の距離が H_c 、

該電極と該共通配線間に印加する電圧を V_c 、

真空の誘電率を ϵ 、

該導電性薄膜が破壊されるエネルギーを E_{th} とすると、

$$\epsilon \times S \times V_c^2 / 2 H_c < E_{th} \cdots (1)$$

の条件下で、行うことを特徴とする請求項 1 又は 2 記載の電子源の製造方法。

【請求項 4】 該コンディショニング工程において、該電界を印加するための電極を複数個用いることを特徴とする請求項 1 から 3 のいずれかに記載の電子源の製造方法。

【請求項 5】 該コンディショニング工程において、該電極と該基板の相対位置を変化させることを特徴とする請求項 1 から 4 のいずれかに記載の電子源の製造方法。

【請求項 6】 電子源と該電子源から放出される電子を加速するための電極とを有する電子放出装置の製造方法において、

該電子源は、請求項 1 ～ 5 のいずれかに記載の電子源の製造方法により形成されることを特徴とする電子放出装置の製造方法。

【請求項 7】 電子源と、該電子源から放出される電子を加速するための電極と、該電子により画像を形成する画像形成部材とを有することを特徴とする画像形成装置の製造方法において、

前記電子源は、請求項 1 ～ 5 のいずれかに記載の電子源の製造方法により形成されることを特徴とする画像形成装置の製造方法。

【請求項 8】 電子ビームを発生する電子ビーム源を有する第 1 のプレートを備えた電子線装置の製造方法であって、

前記第 1 のプレートと、該第 1 のプレートと対向する電極との間に電圧を印加する第 1 の工程を有しており、該工程においては、前記第 1 のプレートと該第 1 のプレートと対向する電極との間に、前駆電流が流れる電圧を印加することを特徴とする電子線装置の形成方法。

【請求項 9】 前記電圧は、前記前駆電流が流れる状態を維持できる電圧で

ある請求項 8 に記載の電子線装置の形成方法。

【請求項 10】 導電性膜から成る電子ビームを発生する電子ビーム源を有する第 1 のプレートを備えた電子線装置の製造方法であって、

前記第 1 のプレートと、該第 1 のプレートと対向する電極との間に電圧を印加する第 1 の工程を有しており、該工程においては、前記導電性膜への影響が許容できる電圧を印加することを特徴とする電子線装置の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子放出装置を構成する電子源及びこの電子源と画像形成部材を有する画像形成装置及び電子線装置に係わり、特に複数の電子放出素子が配置された第一の基板と、該第一の基板に対向配置された、該電子放出素子から放出された電子を加速する電極が形成された第二の基板とを有する電子放出装置の製造方法に関する。

【0002】

【従来の技術】

従来より、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた 2 種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE 型」という。）、金属／絶縁層／金属型（以下、「MIM 型」という。）や表面伝導型電子放出素子等がある。

【0003】

FE 型の例としては、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) あるいは C. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等の開示されたものが知られている。

【0004】

MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Apply. Phys., 32, 646 (1961) 等に掲載されたものが知られている。

【0005】

表面伝導型電子放出素子型の例としては、M. I. Elinson, Recio Eng. Electron Phys., 10, 1290, (1965) 等に掲載されたものがある。

【0006】

表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたもの、Au薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf." 519 (1975)]、カーボン薄膜によるもの [荒木久 他; 真空、第26巻、第1号、22頁 (1983)] 等が報告されている。

【0007】

これらの表面伝導型電子放出素子の典型的な例として前述のM. ハートウェルの素子構成を図11に模式的に示す。同図において1は基板である。4は導電性薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。

【0008】

従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性薄膜4を予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成するのが一般的であった。即ち、通電フォーミングとは前記導電性薄膜4両端に例えば、直流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通電し、導電性薄膜を局所的に破壊、変形もしくは変質せしめ、電氣的に高

抵抗な状態にした電子放出部 5 を形成することである。尚、電子放出部 5 は導電性薄膜 4 の一部に亀裂が発生しその亀裂付近から電子放出が行われる。前記通電フォーミング処理をした表面伝導型電子放出素子は、上述導電性薄膜 4 に電圧を印加し、素子に電流を流すことにより、上述電子放出部 5 より電子を放出せしめるものである。

【 0 0 0 9 】

上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたる多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。多数の表面伝導型放出素子を配列形成した例としては、後述する様に、並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線（共通配線とも呼ぶ）で、それぞれ結線した行を多数行配列した電子源があげられる。（例えば、特開昭 6 4 - 0 3 1 3 3 2 号公報、特開平 1 - 2 8 3 7 4 9 号公報、2 - 2 5 7 5 5 2 号公報等）また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、C R T に替わって、普及してきたが、自発光型でないため、バックライトを持たなければならない等の問題点があり、自発光型の表示装置の開発が、望まれてきた。自発光型表示装置としては、表面伝導型放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置が、あげられる（例えば、U S P 5 0 6 6 8 8 3 ）。

【 0 0 1 0 】

図 1 8 に、画像形成装置の表示パネルの一例を示す模式図を示す。図中、7 1 は電子放出素子を複数配した電子源基板、7 2 は X 方向配線、7 3 は Y 方向配線である。7 4 は表面伝導型電子放出素子、8 1 は電子源基板 7 1 を固定したリアプレート、8 6 はガラス基板 8 3 の内面に蛍光膜 8 4 とメタルバック 8 5 等が形成されたフェースプレート、8 2 は支持枠である。

【 0 0 1 1 】

X 方向配線 7 2 には、X 方向に配列した表面伝導型放出素子 7 4 の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、

Y方向配線73には、Y方向に配列した表面伝導型放出素子74の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給され、電子放出が生ずる。高圧端子Hvを介してメタルバック85、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。ここで印加される電圧は、蛍光体の性能にもよるが、数百Vから数十kV程度の電圧である。また、リアプレート81とフェースプレート86の距離dは、百 μ mから数mm程度に設定されるのが一般的である。

【0012】

このように冷陰極電子放出素子を多数配置した電子源と、電子源より放出された電子を加速するための前述のメタルバックや透明電極等の対向電極間に高電圧を印加するタイプの画像形成装置においては、発光輝度を最大限得るために高電圧を印加するのが有利である。素子の種類によっては、放出される電子線は対向電極に到達するまでに発散するので、高解像度の画像形成装置を実現しようとすると、両電極間距離が短いのが好ましい。このため電極間が高電界となり、一部に集中して電流が流れるために表示画面の一部が光る現象、素子が破壊される現象などが生じる場合がある。

【0013】

この放電現象の原因は必ずしも解明されていないが、電極や配線等の突起やパターンの乱れ、絶縁性あるいは導電性のゴミ等の異物、等（以後、異常箇所と呼ぶ）が各製造工程において導入されたためであると考えられている。すなわち、対向電極間の高電圧が印加されることによって、このような異常箇所に電界が集中しこれが破壊されるとき放電現象が観察される。

【0014】

この放電現象に伴って、異常箇所の破壊のみならず、前述したように素子が破壊される事があった。これは、放電によって短時間に一点に集中して大電流が流入し発熱することにより素子を破壊したり、電子放出素子にかかる電圧が一瞬上昇することにより素子が破壊されたと考えられる。放電による素子部での発熱や

電圧の上昇は、リアプレート側の回路構成に依存する。

【0015】

すなわち、電子放出素子特性、配線抵抗、走査信号印加手段、変調信号発生手段などに依存している。特に素子の駆動時に放電が生じると、走査信号印加手段、変調信号発生手段の影響で素子の劣化が著しい。

【0016】

このような放電現象を抑制する方法として、例えば、火花放電を抑制するために予め、高真空中で火花放電を行わせることが知られている（例えば、「高電圧工学」（電気学会編、オーム社1981年））。これらの処理は、通常コンディショニングと呼ばれている。

【0017】

【発明が解決しようとする課題】

大面積な画像形成装置を製造する際には、コンディショニングを行うことにより、電子放出特性に悪影響を及ぼすことがあった。これは、コンディショニング中の放電によって素子で消費されるジュール熱が導電性薄膜を破壊するためであると考えられる。

【0018】

図4は、本工程における等価回路を示す図である。コンディショニングを行う電子源基板71と高圧印加用電極1010でつくられるコンデンサに蓄積される電荷によって引き起こされたと考えられる。

【0019】

距離 d 離れて配置された、面積 S の2枚の電極よりなる平行平板コンデンサに電圧 V を印加した時、蓄積される電荷量 Q は、 $Q = CV = \epsilon SV / d$ で表される。コンディショニング工程において同じ電界を形成した時、電子源基板71と高圧印加用電極1010でつくられるコンデンサに蓄積されるエネルギー E は、 $E = CV^2 / 2 = \epsilon SV^2 / 2d$ である。

【0020】

このため、電子源基板71とそれに対向する電子源基板71と同じ面積の高圧印加用電極1010を用いてコンディショニング工程を行うと、その放電時に電

子源基板で消費されるエネルギーは面積に比例して増大するという問題点が生じる。

【0021】

【課題を解決するための手段及び作用】

本発明は、前述した課題を解決するための手段として、基板上に、一对の素子電極及び該素子電極間に形成された導電性薄膜に通電処理により形成された電子放出部を有する電子放出素子の複数個と、該一对の素子電極のそれぞれと接続して形成された行方向配線と列方向配線からなる共通配線と、を有する電子源の製造方法において、前記共通配線を有する面に電界の印加を行うコンディショニング工程を有し、該コンディショニング工程は、該電界を印加するための電極と該基板を対向配置して該電極と該共通配線間に電圧を印加し、該電極と該基板とが形成するコンデンサに蓄えられるエネルギーが、前記導電性薄膜を破壊するエネルギー以下で行われることを特徴とする電子源の製造方法を提供するものである。

【0022】

また、複数の表面伝導型電子放出素子を備えた電子源の製造方法であって、基板上に複数対の素子電極を形成する工程、絶縁層を介して積層された複数本の行方向配線および複数本の列方向配線を前記複数対の素子電極のそれぞれの電極と結線して行列状に共通配線を形成する工程、各対の素子電極間に導電性薄膜を形成する工程、各対の素子電極間の前記導電性薄膜に通電処理により電子放出部を形成するフォーミング工程、前記共通配線を有する面に電界を印加するための電極と該基板を対向配置し、該電極と該共通配線間に電圧を印加することにより該電界の印加を行うコンディショニング工程、を有し、該コンディショニング工程は、該電極と該基板とが形成するコンデンサに蓄えられるエネルギーが、該導電性薄膜を破壊するエネルギー以下で行われることを特徴とする電子源の製造方法でもある。

【0023】

また、該コンディショニング工程において、該電極と該基板の対向する面積が S 、該電極と該基板の距離が H 、該電極と該共通配線間に印加する電圧を V

真空の誘電率を ϵ 、該導電性薄膜が破壊されるエネルギーを E_{th} とすると、

$$\epsilon \times S \times V_c^2 / 2 H c < E_{th} \dots (1)$$

の条件下で、行うことを特徴とする電子源の製造方法でもある。

【0024】

また、該コンディショニング工程において、該電界を印加するための電極を複数個用いることを特徴とする電子源の製造方法でもある。

【0025】

また、該コンディショニング工程において、該電極と該基板の相対位置を変化させることを特徴とする電子源の製造方法でもある。

【0026】

また、電子源と該電子源から放出される電子を加速するための電極とを有する電子放出装置の製造方法において、該電子源は、上記記載の電子源の製造方法により形成されることを特徴とする電子放出装置の製造方法でもある。

【0027】

また、電子源と、該電子源から放出される電子を加速するための電極と、該電子により画像を形成する画像形成部材とを有することを特徴とする画像形成装置の製造方法において、前記電子源は、上記記載の電子源の製造方法により形成されることを特徴とする画像形成装置の製造方法でもある。

【0028】

また本発明は、電子線装置の新たな製造方法を実現するために、以下の構成を有する。

【0029】

電子ビームを発生する電子ビーム源を有する第1のプレートを備えた電子線装置の製造方法であって、前記第1のプレートと、該第1のプレートと対向する電極との間に電圧を印加する第1の工程を有しており、該工程においては、前記第1のプレートと該第1のプレートと対向する電極との間に、前駆電流が流れる電圧を印加することを特徴とする電子線装置の形成方法。ここで言う前駆電流とは、瞬間的に生じる放電ではなく、瞬間的に生じる放電が生じる前に瞬間的な放電

を生じることなく、該瞬間的に生じる放電よりも相対的に小さな電流が流れる場合の電流のことを指す。

【 0 0 3 0 】

また、前記電圧は、前記前駆電流が流れる状態を維持できる電圧である電子線装置の形成方法でもある。

【 0 0 3 1 】

また、導電性膜から成る電子ビームを発生する電子ビーム源を有する第 1 のプレートを備えた電子線装置の製造方法であって、前記第 1 のプレートと、該第 1 のプレートと対向する電極との間に電圧を印加する第 1 の工程を有しており、該工程においては、前記導電膜への影響が許容できる電圧を印加することを特徴とする電子線装置の形成方法でもある。

【 0 0 3 2 】

【作用】

本発明によれば、コンディショニング工程において、電極と電子源基板とが形成するコンデンサに蓄えられるエネルギーを導電性薄膜を破壊するエネルギー以下に制限することにより、本工程における放電時に電子源基板で消費されるエネルギーを制限でき、導電性薄膜の破壊を抑制することができる。

【 0 0 3 3 】

特に、大面積な電子源基板の製造において、電子源基板上の素子の破壊なく本工程を実施することができる。

【 0 0 3 4 】

さらに、電子源基板製造時に、どの工程においてもコンディショニングを行えるため効率よく電子源の基板を製造できる。

【 0 0 3 5 】

また、本発明によれば、上記構成によって、電圧印加時の放電による悪影響を緩和することができる。特に、導電性膜の破壊を抑制でき、製造工程における歩留まりを向上できる。また、駆動時の放電が少なかったり、駆動時間の経過に伴う欠陥が発生しにくい電子線装置を実現できる。

【 0 0 3 6 】

【発明の実施の形態】

本発明を適用し得る表面伝導型電子放出素子の基本的構成には大別して、平面型および垂直型の2つがある。

【0037】

まず、平面型表面伝導型電子放出素子について説明する。

【0038】

図11は、本発明を適用可能な平面型表面伝導型電子放出素子の構成を示す模式図であり、図11(a)は平面図、図11(b)は断面図である。

【0039】

図11において1は基板、2と3は素子電極、4は導電性薄膜、5は電子放出部である。

【0040】

基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した SiO_2 を積層したガラス基板およびアルミナ等のセラミックスおよびSi基板等を用いることができる。

【0041】

対向する素子電極2, 3の材料としては、一般的な導体材料を用いることができる。これは例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或いは合金およびPd、Ag、Au、 RuO_2 、Pd-Ag等の金属或いは金属酸化物とガラス等から構成される印刷導体、 In_2O_3 - SnO_2 等の透明導電体およびポリシリコン等の半導体材料等から適宜選択することができる。

【0042】

素子電極間隔L、素子電極長さW、導電性薄膜4の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましくは、数百nmから数百 μm の範囲とすることができ、より好ましくは、数 μm から数十 μm の範囲とすることができる。

【0043】

素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 μm から数百

μm の範囲とすることができる。素子電極 2, 3 の膜厚 d は、数十 nm から数 μm の範囲とすることができる。

【0044】

尚、図 11 に示した構成だけでなく、基板 1 上に、導電性薄膜 4、対向する素子電極 2, 3 の順に積層した構成とすることもできる。

【0045】

導電性薄膜 4 には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極 2, 3 へのステップカバレッジ、素子電極 2, 3 間の抵抗値および後述するフォーミング条件等を考慮して適宜設定されるが、通常は、 0.1 nm の数倍から数百 nm の範囲とするのが好ましく、より好ましくは 1 nm より 50 nm の範囲とするのが良い。その抵抗値は、 R_s が 10^2 から $10^7\ \Omega/\square$ の値である。なお R_s は、厚さが t 、幅が w で長さが l の薄膜の抵抗 R を、 $R = R_s (l/w)$ とおいたときに現れる量である。本願明細書において、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する処理を包含するものである。

【0046】

導電性薄膜 4 を構成する材料は、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Fe、Zn、Sn、Ta、W、Pd 等の金属、PdO、 SnO_2 、 In_2O_3 、PbO、 Sb_2O_3 等の酸化物、 HfB_2 、 ZrB_2 、 LaB_6 、 CeB_6 、 YB_4 、 Gd_2B_4 等の硼化物、TiC、ZrC、HfC、TaC、C、SiC、WC 等の炭化物、TiN、ZrN、HfN 等の窒化物、Si、Ge 等の半導体、カーボン等の中から適宜選択される。

【0047】

ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態あるいは微粒子が互いに隣接、あるいは重なり合った状態（いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む）をとっている。微粒子の粒径は、 0.1 nm の数倍から数百 nm の範囲、好ましくは、 1 nm から 20 nm の範囲である。

【 0 0 4 8 】

なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【 0 0 4 9 】

小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。

【 0 0 5 0 】

しかしながら、それぞれの境は厳密なものではなく、どのような性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【 0 0 5 1 】

「実験物理学講座 1 4 表面・微粒子」（木下是雄 編、共立出版 1 9 8 6 年 9 月 1 日発行）では次のように記述されている。

【 0 0 5 2 】

「本稿で微粒子と言うときにはその直径がだいたい $2 \sim 3 \mu\text{m}$ 程度から 10 nm 程度までとし、特に超微粒子というときは粒径が 10 nm 程度から $2 \sim 3 \text{ nm}$ 程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が 2 個から数十～数百個程度の場合はクラスターと呼ぶ。」（1 9 5 ページ 2 2 ～ 2 6 行目）。

【 0 0 5 3 】

付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。

【 0 0 5 4 】

「創造科学技術推進精度の“超微粒子プロジェクト”（1 9 8 1 ～ 1 9 8 6）では、粒子の大きさ（径）がおおよそ $1 \sim 100 \text{ nm}$ の範囲のものを“超微粒子”（ultra fine particle）と呼ぶことにした。すると 1 個の超微粒子はおおよそ $100 \sim 10^8$ 個ぐらゐの原子の集合体という事になる。原子

の尺度でみれば超微粒子は大～巨大粒子である。」（「超微粒子・創造科学技術」林主税、上田良二、田崎明 編；三田出版 1988年 2ページ1～4行目）「超微粒子よりさらに小さいもの、すなわち原子が数個～数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」（同書2ページ12～13行目）。

【0055】

上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は0.1nmの数倍から1nm程度、上限は数 μ m程度のものを指すこととする。

【0056】

電子放出部5は、導電性薄膜4の一部に形成された高抵抗の亀裂により構成され、導電性薄膜4の膜厚、膜質、材料および後述する通電フォーミング等の手法等に依存したものとなる。電子放出部5の内部には、0.1nmの数倍から数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性薄膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部5およびその近傍の導電性薄膜4には、炭素および炭素化合物を有することもできる。

【0057】

次に、垂直型表面伝導型電子放出素子について説明する。

【0058】

図12は、本発明の表面伝導型電子放出素子を適用できる垂直型表面伝導型電子放出素子の一例を示す模式図である。

【0059】

図12においては、図11に示した部位と同じ部位には図11に付した符号と同一の符号を付している。21は、段差形成部である。基板1、素子電極2および3、導電性薄膜4、電子放出部5は、前述した平面型表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部21は、真空蒸着法、印刷法、スパッタ法等で形成された SiO_2 等の絶縁性材料で構成することができる。段差形成部21の膜厚は、先に述べた平面型表面伝導型電子放出素子の素

子電極間隔 L に対応し、数百 nm から数十 μ m の範囲とすることができる。この膜厚は、段差形成部の製法、および、素子電極間に印加する電圧を考慮して設定されるが、数十 nm から数 μ m の範囲が好ましい。

【0060】

導電性薄膜 4 は、素子電極 2 および 3 と段差形成部 2 1 作成後に、該素子電極 2, 3 の上に積層される。電子放出部 5 は、図 1 2 においては、段差形成部 2 1 に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものでない。

【0061】

上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図 1 3 に模式的に示す。

【0062】

以下、図 1 1 および図 1 3 を参照しながら製造方法の一例について説明する。図 1 3 においても、図 1 1 に示した部位と同じ部位には図 1 1 に付した符号と同一の符号を付している。

【0063】

1) 基板 1 を洗剤、純水および有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板 1 上に素子電極 2, 3 を形成する(図 1 3 (a))。

【0064】

2) 素子電極 2, 3 を設けた基板 1 に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜 4 の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性薄膜 4 を形成する(図 1 3 (b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜 4 の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【0065】

3) つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極 2, 3 間に、不図示の電源を用いて、通電を行うと、導電性薄膜 4 の部位に、構造の変化した電子放出部 5 が形成される (図 13 (c))。通電フォーミングによれば導電性薄膜 4 に局所的に破壊、変形もしくは変質等の構造の変化した部位が形成される。該部位が電子放出部 5 を構成する。通電フォーミングの電圧波形の例を図 14 に示す。

【0066】

電圧波形は、パルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図 14 (a) に示した手法とパルス波高値を増加させながら、電圧パルスを印加する図 14 (b) に示した手法がある。

【0067】

図 14 (a) における T_1 および T_2 は電圧波形のパルス幅とパルス間隔である。通常 T_1 は $1\ \mu\text{sec.} \sim 10\text{msec.}$ 、 T_2 は、 $10\ \mu\text{sec.} \sim 10\text{msec.}$ の範囲で設定される。三角波の波高値 (通電フォーミング時のピーク電圧) は、表面伝導型電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【0068】

図 14 (b) における T_1 および T_2 は、図 14 (a) に示したのと同様とすることができる。三角波の波高値 (通電フォーミング時のピーク電圧) は、例えば 0.1V ステップ程度ずつ、増加させることができる。

【0069】

通電フォーミング処理の終了は、パルス間隔 T_2 中に、導電性薄膜 2 を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば 0.1V 程度の電圧印加により流れる素子電流を測定し、抵抗値を求めて、 $1\text{M}\Omega$ 以上の抵抗を示した時、通電フォーミングを終了させる。

【0070】

4) フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流 I_f 、放出電流 I_e が、著し

く変化する工程である。

【 0 0 7 1 】

活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に依り適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど $C_n H_{2n+2}$ で表される飽和炭化水素、エチレン、プロピレンなどの $C_n H_{2n}$ 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等あるいはこれらの混合物が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流 I_f 、放出電流 I_e が、著しく変化ようになる。

【 0 0 7 2 】

活性化工程の終了判定は、素子電流 I_f と放出電流 I_e を測定しながら、適宜行う。なおパルス幅、パルス間隔、パルス波高値などは適宜設定される。

【 0 0 7 3 】

炭素および炭素化合物とは、例えばグラファイト（いわゆる $HOPG'$, PG (, GC) を包含する、 $HOPG$ はほぼ完全なグラファイトの結晶構造、 PG は結晶粒が 200 \AA 程度で結晶構造がやや乱れたもの、 GC は結晶粒が 20 \AA 程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカーボンおよび、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、 50 nm 以下の範囲とするのが好まし

く、30nm以下の範囲とすることがより好ましい。

【0074】

5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソープシヨンプ、イオンプ等の真空排気装置を挙げることが出来る。

【0075】

前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合は、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素および炭素化合物がほぼ新たに堆積しない分圧で 1.3×10^{-6} Pa以下が好ましく、さらには 1.3×10^{-8} Pa以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、80～250℃好ましくは150℃以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 1×10^{-5} Pa以下が好ましく、さらに 1.3×10^{-6} Pa以下が特に好ましい。

【0076】

安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。

【0077】

このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、また真空容器や基板などに吸着した H_2O 、 O_2 なども除去でき、結果として素子電流 I_f 、放出電流 I_e が、安定する。

【 0 0 7 8 】

上述した工程を経て得られた本発明を適用可能な電子放出素子の基本特性について図 1 5、図 1 6 を参照しながら説明する。

【 0 0 7 9 】

図 1 5 は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図 1 5 においても、図 1 1 に示した部位と同じ部位には図 1 1 に付した符号と同一の符号を付している。図 1 5 において、5 5 は真空容器であり、5 6 は排気ポンプである。真空容器 5 5 内には電子放出素子が配されている。即ち、1 は電子放出素子を構成する基体であり、2 および 3 は素子電極、4 は導電性薄膜、5 は電子放出部である。5 1 は、電子放出素子に素子電圧 V_f を印加するための電源、5 0 は素子電極 2, 3 間の導電性薄膜 4 を流れる素子電流 I_f を測定するための電流計、5 4 は素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極である。5 3 はアノード電極 5 4 に電圧を印加するための高圧電源、5 2 は素子の電子放出部 5 より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極の電圧を 1 kV ~ 1 0 kV の範囲とし、アノード電極と電子放出素子との距離 H を 2 mm ~ 8 mm の範囲として測定を行うことができる。

【 0 0 8 0 】

真空容器 5 5 内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ 5 6 は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより 2 5 0℃まで加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【 0 0 8 1 】

図 1 6 は、図 1 5 に示した真空処理装置を用いて測定された放出電流 I_e 、素子電流 I_f と素子電圧 V_f の関係を模式的に示した図である。図 1 6 においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示してい

る。なお、縦・横軸ともリニアスケールである。

【0082】

図16からも明らかなように、本発明を適用可能な表面伝導型電子放出素子は、放出電流 I_e に関して対する三つの特徴的性質を有する。

【0083】

即ち、

(i) 本素子はある電圧（しきい値電圧と呼ぶ、図16中の V_{th} ）以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e がほとんど検出されない。つまり、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0084】

(ii) 放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0085】

(iii) アノード電極54に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0086】

以上の説明より理解されるように、本発明を適用可能な表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0087】

図16においては、素子電流 I_f が素子電圧 V_f に対して単調増加する（以下、「MI特性」という。）例を実線に示した。素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性（以下、「VCNR特性」という。）を示す場合もある（不図示）。これら特性は、前述の工程を制御することで制御できる。

【0088】

本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明を適

用可能な表面伝導型電子放出素子の複数個を基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【 0 0 8 9 】

電子放出素子の配列については、種々のものが採用できる。

【 0 0 9 0 】

一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。これとは別に、電子放出素子を X 方向および Y 方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X 方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y 方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【 0 0 9 1 】

本発明を適用可能な表面伝導型電子放出素子については、前述したとおり（i）ないし（iii）の特性がある。即ち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【 0 0 9 2 】

以下この原理に基づき、本発明を適用可能な電子放出素子を複数配して得られる電子源基板について、図 1 7 を用いて説明する。図 1 7 において、7 1 は電子源基板、7 2 は X 方向配線、7 3 は Y 方向配線である。7 4 は表面伝導型電子放出素子、7 5 は結線である。尚、表面伝導型電子放出素子 7 4 は、前述した平面型あるいは垂直型のどちらであってもよい。

【 0 0 9 3 】

m本のX方向配線72は、 $D \times 1$, $D \times 2$, //, $D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線73は、 $D_y 1$, $D_y 2$, //, $D_y n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している（m, nは、共に正の整数）。

【0094】

不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線72を形成した基板71の全面或いは一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0095】

表面伝導型電子放出素子74を構成する一対の電極（不図示）は、m本のX方向配線72とn本のY方向配線73と導電性金属等からなる結線75によって電氣的に接続されている。

【0096】

配線72と配線73を構成する材料、結線75を構成する材料および一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0097】

X方向配線72には、X方向に配列した表面伝導型電子放出素子74の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した表面伝導型電子放出素子74の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調

信号の差電圧として供給される。

【0098】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0099】

このようにして作製された多数の電子源を有する電子源基板に、本発明に係るコンディショニング工程を施す。

【0100】

図1および図2は、コンディショニング工程を行う際の装置の構成概略図である。図1及び図2において、71は電子源基板、10は高圧印加用電極、15は高圧電源である。各素子につながる配線は共通に接地される。また、高圧印加用電極10と高圧電源15間には、放電による過電流を防止するため制限抵抗12が挿入される。

【0101】

55は真空容器であり、56は排気ポンプである。真空容器55内には、XYZ方向に移動可能なメカニカルステージ13があり、その上方に高圧印加用電極10が設置されている。電子源基板71は、メカニカルステージ13上に固定されている。X、Y方向配線はそれぞれ配線の端部で導電性の取り出し部材14で共通にされ接地されている。高圧印加用電極10は制限抵抗12を介して高圧電源15に接続されている。又、52は電流計である。

【0102】

メカニカルステージを制御することにより、電子源基板と高圧印加用電極の距離 H_c を決めることができる。また高圧印加用電極に印加される電圧 V_c は、以下のように決定する。

【0103】

電子源基板が後に、距離 H 離れて対向する電極に電圧 V_a を印加して使用されるとする。この時、本工程においては $V_c/H_c > V_a/H$ を満たすように、高圧電源の電圧 V_c 、電子源基板と高圧印加用電極の距離 H_c を決定する。実際には、 V_c/H_c （電界強度 E_c ）は V_a/H （電界強度 E_a ）の1.1～1.5

倍程度で行うことが多い。

【0104】

例えば、画像形成装置として本電子源基板を用いる場合、後に画像形成装置として電子源基板と蛍光体間に印加される電界強度以上を本工程で印加する必要がある。上述した電子源を用いる場合は、電子源基板と蛍光体間の距離 H は、薄型画像形成装置を実現する点や電子ビームの広がりなどの点から、約 $2\sim 6\text{ mm}$ で有り、加速電圧値 V_a は、蛍光体の発光特性などで左右されるが、高輝度画像を実現する点で、一般のCRT用蛍光体では $6\sim 10\text{ kV}$ 必要である。したがって、本工程で印加される電界強度は、 $1\sim 8\text{ kV/mm}$ 程度である。

【0105】

本工程における放電の有無は、高圧印加用電極と電子源基板間を流れる電流を測定することによって行える。例えば、前述した制限抵抗を流れた電流を、制限抵抗の両端の電圧をモニタすることで確認できる。

【0106】

本工程における放電による素子の破壊は、本工程の前後の素子特性の変化で評価する。フォーミング前に本工程を行った場合は各素子の抵抗の変化によって、フォーミング後に行った場合は各素子の電子放出特性の変化によって、確認できる。

【0107】

例えば、フォーミング前において、素子が高抵抗となると、後にフォーミングを行う際に十分な電子放出特性が得られなくなる。また、フォーミング後に電子放出特性が劣化してしまうと、後に活性化工程を行っても十分な特性が得られなくなる。このため、電子源基板の不均一性の原因となり歩留まり等の問題となる。

【0108】

フォーミング前の電子源基板において、本工程実施前の各素子の抵抗を R_1 、本工程実施後の各素子の抵抗を R_2 とする。本工程において N 回の放電が観測されたとする。また、本工程の前後の素子抵抗の比 R_2/R_1 が例えば2を超えた時、後にフォーミングを行う際に十分な電子放出特性が得られなくなるため素子

が本工程で破壊されたと判断し、その数を k とする。 k/N は一回の放電によって破壊された素子の平均数であると考えられ、放電破壊数と呼ぶこととする。

【0 1 0 9】

フォーミング後の電子源基板において、前述した V_{th} 以上の適当な電圧における、本工程実施前の各素子の放出電流を I_1 、本工程実施後の各素子の放出電流を I_2 であったとする。例えば、その比 I_1/I_2 が2を超えた時、後に活性化工程を行っても十分な特性を得られなくなるため素子が本工程で破壊されたと判断し、その数 k と本工程における放電の数 N によって同様に放電破壊数を定義できる。

【0 1 1 0】

高圧印加電極の面積 S を変化して、本工程を実施した時の放電破壊数 k/N を図5に示す。この放電破壊数は、0から電子源基板上の素子の数 $m \times n$ までの値を取り得るが、すべての素子が一回の放電で破壊されることは殆どなく、高々 X 或いは Y 方向の素子数と同程度の数であった。また、図中 S_n は電子源基板の面積である。

【0 1 1 1】

この関係は、電子源基板の構成、 $X \cdot Y$ 方向配線の抵抗、素子の特性（導電性薄膜の形状、製造工程など）に依存する。図5（a）はフォーミング工程前の電子源基板のコンディショニング工程における放電破壊数を高圧印加用電極の面積 S に対してプロットしたものである。一方、図5（b）はフォーミング工程後の電子源基板に対するプロットである。いずれの場合も、高圧印加用電極の面積の増大によってあるしきい値 S_{th} 以上で、放電破壊数が増大していることが分かる。これは、 S_{th} 以上の面積の高圧印加用電極を用いると、高圧印加用電極と電子源基板とが形成するコンデンサに蓄えられたエネルギー E_{con} によって、放電時に導電性薄膜が破壊されるためである。すなわち、面積 S の高圧印加用電極を用いると、 $E_{con} = \varepsilon \times S / H_c \times V_c^2 / 2$ のエネルギーがコンデンサに蓄えられる。 S_{th} 以上の面積の高圧印加用電極を用いるとこのエネルギーが放電時に電子源基板上で消費され、導電性薄膜が破壊される。

【0 1 1 2】

例えば、図5(a)に示したPdを用いた導電性薄膜について、St hの高圧印加用電極と電子源基板が形成するコンデンサに蓄えられたエネルギーは、ほぼ $1 \times 10^{-2} \text{ J}$ である。

【0113】

St h以上の面積の高圧印加用電極を用いてコンディショニングを行うと放電時にそのエネルギーが電子源基板上で消費され、破壊が生ずる。また、 $E_{th} > E_{con}$ でコンディショニングを行えば、破壊が生じないことは図5(a)より明らかである。

【0114】

すなわち、コンディショニング工程において、該電極と絶縁性等の該基板の対向する面積がS、該電極と該基板の距離がHc、該電極と該共通配線間に印加する電圧をVc、真空の誘電率を ϵ 、該導電性薄膜が破壊されるエネルギーをEthとすると、

$$\epsilon \times S \times V_c^2 / 2 H_c < E_{th} \dots (1)$$

の条件下で、行うことにより、導電性薄膜を破壊して電子放出素子を破壊することなくコンディショニング工程を行うことができる。

【0115】

以上のように、高圧印加用電極の面積Sを適宜選択することによって、放電時に導電性薄膜で消費されるエネルギーを、導電性薄膜が放電時に破壊されるエネルギーEth以下にして、コンディショニング時の導電性薄膜の破壊を防ぐことができる。

【0116】

又、コンデンサに蓄えられるエネルギーを導電性薄膜が放電時に破壊されるエネルギーEth以下にする方法は、高圧印加用電極の面積を減少する以外にも、電子源基板に印加される電界 V_c / H_c を維持したまま印加電圧Vcを減少させることによって実現できる。

【0117】

さらに、以上のように高圧印加用電極の面積を適切に選ぶことにより、フォーミング後の電子源基板についても破壊なく本工程を適用できる。

【0118】

例えば、前述したPdを用いた導電性薄膜をフォーミングし、それが放電時に破壊されるエネルギーを求めると、 1×10^{-4} Jであった。このときの高圧印加用電極の面積と放電破壊数の関係は、図5(b)に示されている。

【0119】

ステージの移動速度は、本工程の目的が達成できる範囲で任意に選べる。

【0120】

また、高圧印加用電極と電子源基板の相対移動速度および高圧印加用電極の面積により本工程が長時間に及ぶ場合は、複数の高圧印加用電極を制限抵抗を介して共通にして高圧電源に接続することも可能である。

【0121】

また、電子源基板と同じ面積の高圧印加用電極を複数に分割して、それぞれの高圧印加用電極を制限抵抗を介して共通にして高圧電源に接続することも可能である。この場合は、電子源基板或いは高圧印加用電極を移動する必要がなく、短時間で本発明の効果を得ることが可能である。

【0122】

このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図18と図19および図20を用いて説明する。図18は、画像形成装置の表示パネルの一例を示す模式図であり、図19は、図18の画像形成装置に使用される蛍光膜の模式図である。図20は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0123】

図18において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は、支持枠であり該支持枠82には、リアプレート81、フェースプレート86が低融点のフリットガラスなどを用いて接合される。

【0124】

74は、図11における電子放出部に相当する。72、73は、表面伝導型電

子放出素子の一对の素子電極と接続されたX方向配線およびY方向配線である。

【0 1 2 5】

外囲器 8 8 は、上述の如く、フェースプレート 8 6、支持枠 8 2、リアプレート 8 1 で構成される。リアプレート 8 1 は主に基板 7 1 の強度を補強する目的で設けられるため、基板 7 1 自体で十分な強度を持つ場合は別体のリアプレート 8 1 は不要とすることができる。

【0 1 2 6】

即ち、基板 7 1 に直接支持枠 8 2 を封着し、フェースプレート 8 6、支持枠 8 2 および基板 7 1 で外囲器 8 8 を構成しても良い。一方、フェースプレート 8 6、リアプレート 8 1 間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器 8 8 を構成することもできる。

【0 1 2 7】

図 1 9 は、蛍光膜を示す模式図である。蛍光膜 8 4 は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材 9 1 と蛍光体 9 2 とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体 9 2 間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜 8 4 における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過および反射が少ない材料を用いることができる。

【0 1 2 8】

ガラス基板 8 3 に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜 8 4 の内面側には、通常メタルバック 8 5 が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート 8 6 側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理（通常、「フィ

ルミング」と呼ばれる。)を行い、その後A 1を真空蒸着等を用いて堆積させることで作製できる。

【0 1 2 9】

フェースプレート8 6には、更に蛍光膜8 4の導電性を高めるため、蛍光膜8 4の外面側に透明電極（不図示）を設けてもよい。

【0 1 3 0】

前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0 1 3 1】

図1 8に示した画像形成装置の製造方法の一例を以下に説明する。

【0 1 3 2】

図2 3はこの工程に用いる装置の概要を示す模式図である。画像形成装置1 3 1は、排気管1 3 2を介して真空チャンバー1 3 3に連結され、さらにゲートバルブ1 3 4を介して排気装置1 3 5に接続されている。真空チャンバー1 3 3には、内部の圧力および雰囲気中の各成分の分圧を測定するために、圧力計1 3 6、四重極質量分析器1 3 7等が取り付けられている。

【0 1 3 3】

画像表示装置1 3 1の外囲器8 8内部の圧力などを直接測定することは困難であるため、該真空チャンバー1 3 3内の圧力などを測定し、処理条件を制御する。

【0 1 3 4】

真空チャンバー1 3 3には、さらに必要なガスを真空チャンバー内に導入して雰囲気を制御するため、ガス導入ライン1 3 8が接続されている。該ガス導入ライン1 3 8の他端には導入物質源1 4 0が接続されており、導入物質がアンプルやボンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入制御手段1 3 9が設けられている。該導入量制御手段としては具体的には、スローリークバルブなど逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用が可能である。

【 0 1 3 5 】

図 2 3 の装置により外囲器 8 8 の内部を排気し、フォーミングを行う。この際、例えば図 3 に示すように、Y 方向配線 7 3 を共通電極 1 4 1 に接続し、X 方向配線 7 2 の内の一つに接続された素子に電源 1 4 2 によって、同時に電圧パルス印加して、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数の X 方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の X 方向配線に接続された素子をまとめてフォーミングする事も可能である。図中 1 4 3 は電流測定用抵抗を、1 4 4 は、電流測定用のオシロスコープを示す。

【 0 1 3 6 】

フォーミング終了後、活性化工程を行う。外囲器 8 8 内は、十分に排気した後有機物質がガス導入ライン 1 3 8 から導入される。あるいは、個別素子の活性化方法として記述のように、まず油拡散ポンプやロータリーポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。また、必要に応じて有機物質以外の物質も導入される場合がある。この様にして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を印加することにより、炭素あるいは炭素化合物、ないし両者の混合物が電子放出部に堆積し、電子放出量がドラスティックに上昇するのは、個別素子の場合と同様である。このときの電圧の印加方法は、上記フォーミングの場合と同様の結線により、一つの方向配線につながった素子に、同時の電圧パルスを印加すればよい。

【 0 1 3 7 】

活性化工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。

【 0 1 3 8 】

外囲器 8 8 を加熱して、80～250℃に保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置 1 3 5 により排気管 1 3 2 を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じきる。外囲器 8 8 の封止後の圧力を維持するために、ゲッター

処理を行うこともできる。これは、外囲器 8 8 の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器 8 8 内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常は Ba 等が主成分であり、該蒸着膜の吸着作用により、外囲器 8 8 内の雰囲気を維持するものである。

【0139】

次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC 方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図 20 を用いて説明する。図 20 において、101 は画像表示パネル、102 は走査回路、103 は制御回路、104 はシフトレジスタである。105 はラインメモリ、106 は同期信号分離回路、107 は変調信号発生器、Vx および Va は直流電圧源である。

【0140】

表示パネル 101 は、端子 D_{ox1} 乃至 D_{oxm}、端子 D_{oy1} 乃至 D_{oyn} および高圧端子 H_v を介して外部の電気回路と接続している。端子 D_{ox1} 乃至 D_{oxm} には、表示パネル内に設けられている電子源、即ち、M 行 N 列の行列状にマトリクスが配線された表面伝導型電子放出素子群を一行（N 素子）ずつ順次駆動する為の走査信号が印加される。

【0141】

端子 D_{y1} 乃至 D_{yn} には、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子 H_v には、直流電圧源 Va より、例えば 10 kV の直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0142】

走査回路 102 について説明する。同回路は、内部に M 個のスイッチング素子を備えたもので（図中、S₁ ないし S_m で模式的に示している）ある。各スイッチング素子は、直流電圧源 Vx の出力電圧もしくは 0 V（グラウンドレベル）のいずれか一方を選択し、表示パネル 101 の端子 D_{x1} ないし D_{xm} と電氣的に接

続される。S1乃至Smの各スイッチング素子は、制御回路103が出力する制御信号Ts canに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0143】

直流電圧源Vxは、本例の場合には表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0144】

制御回路103は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Tsyncに基づいて、各部に対してTs canおよびTs ftおよびTm ryの各制御信号を発生する。

【0145】

同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ104に入力される。

【0146】

シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル／パラレル変換するためのもので、前記制御回路103より送られる制御信号Ts ftに基づいて動作する（即ち、制御信号Ts ftは、シフトレジスタ104のシフトクロックであるということもできる）。シリアル／パラレル変換された画像1ライン分（電子放出素子N素子分の駆動データに相当）のデータは、Id1乃至IdnのN個の並列信号として前記シフトレジスタ104より出力される。

【0147】

ラインメモリ 105 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 103 より送られる制御信号 $Tmry$ に従って適宜 $I d 1$ 乃至 $I d n$ の内容を記憶する。記憶された内容は、 $I' d 1$ 乃至 $I' d n$ として出力され、変調信号発生器 107 に入力される。

【0148】

変調信号発生器 107 は、画像データ $I' d 1$ 乃至 $I' d n$ の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 $D o y 1$ 乃至 $D o y n$ を通じて表示パネル 101 内の表面伝導型電子放出素子に印加される。

【0149】

前述したように、本発明を適用可能な電子放出素子は放出電流 $I e$ に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 $V t h$ があり、 $V t h$ 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 $V m$ を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 $P w$ を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【0150】

従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 107 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0151】

パルス幅変調方式を実施するに際しては、変調信号発生器 107 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅

を変調するようなパルス幅変調方式の回路を用いることができる。

【0152】

シフトレジスタ104やラインメモリ105は、デジタル信号式のものをアナログ信号式のものを採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行われれば良いからである。

【0153】

デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付与する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）および計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0154】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VOC）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0155】

このような構成をとり得る本発明を適用可能な画像表示装置においては、各電子放出素子に、容器外端子 $D \times 1$ 乃至 $D \times m$ 、 $D \times y 1$ 乃至 $D \times y n$ を介して電圧を印加することにより、電子放出が生ずる。高圧端子 Hv を介してメタルバック85、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速す

る。加速された電子は、蛍光膜 84 に衝突し、発光が生じて画像が形成される。

【0156】

ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式など他、これよりも、多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0157】

次に、はしご型配置の電子源及び画像形成装置について図21及び図22を用いて説明する。

【0158】

図21は、はしご型配置の電子源の一例を示す模式図である。図21において、110は電子源基板、111は電子放出素子である。112、 $D \times 1 \sim D \times 10$ は、電子放出素子111を接続するための共通配線である。電子放出素子111は、基板110上に、X方向に並列に複数個配されている（これを素子行と呼ぶ）。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線 $D \times 2 \sim D \times 9$ は、例えば $D \times 2$ 、 $D \times 3$ を同一配線とすることもできる。

【0159】

図22は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するための空孔、122は $D \times 1$ 、 $D \times 2$ 、 $\dots D \times m$ よりなる容器外端子である。123は、グリッド電極120と接続された $G1$ 、 $G2$ 、 $\dots Gn$ からなる容器外端子、110は各素子行間の共通配線を同一配線とした電子源基板である。図22においては、図18、図21に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図18に示した

単純マトリクス配置の画像形成装置との大きな違いは、電子源基板 1 1 0 とフェースプレート 8 6 の間にグリッド電極 1 2 0 を備えているか否かである。

【0 1 6 0】

図 2 2 においては、基板 1 1 0 とフェースプレート 8 6 の間には、グリッド電極 1 2 0 が設けられている。グリッド電極 1 2 0 は、表面伝導型放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して 1 個ずつ円形の開口 1 2 1 が設けられている。グリッドの形状や設置位置は図 2 2 に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型放出素子の周囲や近傍に設けることもできる。

【0 1 6 1】

容器外端子 1 2 2 およびグリッド容器外端子 1 2 3 は、不図示の制御回路と電氣的に接続されている。

【0 1 6 2】

本例の画像形成装置では、素子行を 1 列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像 1 ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を 1 ラインずつ表示することができる。

【0 1 6 3】

本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0 1 6 4】

【実施例】

以下、実施例により本発明をより詳細に説明する。

【0 1 6 5】

【実施例 1】

本実施例は、本発明によるコンディショニング工程により電子源基板を作製し

た例である。

【0166】

本実施例では、表示等に用いる画像形成装置を説明する。図18は、画像形成装置の基本構成図であり、図19は、蛍光膜である。電子源の一部の平面図を図8に示す。また、図中のA-A'断面図を図9に示す。但し、図8、図9で、同じ記号を示したものは、同じものを示す。ここで71は基板、72は図8のDoxmに対応するX方向配線（下配線とも呼ぶ）、73は図18のDoy nに対応するY方向配線（上配線とも呼ぶ）、4は電子放出部を含む薄膜、2, 3は素子電極、151は層間絶縁層、152は素子電極2と下配線72と電氣的接続のためのコンタクトホールである。

【0167】

本実施例の電子源基板には、X方向配線上に2000個、Y方向配線上に1100個の電子放出素子を形成した。また、電子源基板はX方向で900mm、Y方向で500mmの大きさである。

【0168】

次に製造方法を図10により工程順に従って具体的に説明する。

【0169】

工程-a

清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板71上に、真空蒸着により厚さ5nmのCr、厚さ600nmのAuを順次、積層した後、ホトレジスト（AZ1370、ヘキスト社製）をスピナーにより回転、塗布、バークした後、ホトマスク像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線72を形成する。

【0170】

工程-b

次に厚さ1.0 μ mのシリコン酸化膜からなる層間絶縁層151をRFスパッタ法により堆積する。

【0171】

工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール152を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層151をエッチングしてコンタクトホール152を形成する。エッチングは CF_4 と H_2 ガスを用いたRIE (Reactive Ion Etching) 法によった。

【0172】

工程-d

その後、素子電極2と素子電極3間ギャップGとなるべきパターンをホトレジスト (RD-2000N-41 日立化成社製) 形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフした。素子電極間隔L1は5 μm とし、素子電極の幅W1を300 μm 、を有する素子電極2, 3を形成した。

【0173】

工程-e

素子電極3の上に上配線73のホトレジストパターンを形成した後、厚さ5nmのTi、厚さ500nmのAuを順次真空蒸着により堆積し、リフトオフにより、不要の部分を除去して、所望の形状の上配線73を形成した。

【0174】

工程-f

膜厚100nmのCr膜を真空蒸着により堆積・パターンニングし、そのうえに有機Pd (ccp4230 奥野製薬(株)社製) をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素としてPdOよりなる微粒子からなる導電性薄膜4の膜厚は10nm、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。

【0175】

その後、Cr膜および焼成後の導電性薄膜4を酸エッチャントによりエッチングして所望のパターンを形成した。

【0176】

工程 - g

コンタクトホール 152 部分以外にレジスト塗布するようなパターンを形成し、真空蒸着により厚さ 5 nm の Ti、厚さ 500 nm の Au を順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール 152 を埋め込んだ。

【0177】

以上の工程により絶縁性基板 71 上に下配線 72、層間絶縁層 151、上配線 73、素子電極 2、3、導電性薄膜 4 等を形成した。このようにして形成した下配線、上配線、導電性薄膜の抵抗はそれぞれ約 5 Ω 、3 Ω 、300 Ω であった。

【0178】

[コンディショニング工程]

つぎに、以上のようにして作成した電子源基板を、図 1 及び図 2 に示したような構成の装置により、コンディショニング工程を実施した。

【0179】

まず、電子源基板 71 に対して、上下配線の端部に厚さ 500 ミクロン、幅 5 mm のインジウムシート（導電性の取出し部材）14 を圧着し、すべての配線を共通にして接地し、メカニカルステージ 13 上に固定した。

【0180】

本実施例における電子源基板の面積は前述した Sth より大きいため、高圧印加用電極として Sth より小さい電極を用いた。すなわち、高圧印加用電極は X 方向が 100 mm、Y 方向が 500 mm のものを用いた。この時、電子源基板と対向する面積は 0.05 m² である。高圧印加用電極は 5 M Ω の制限抵抗を介して高圧電源に接続した。

【0181】

この後、メカニカルステージ 13 を Z 方向に移動し、高圧印加用電極との距離が 2 mm となるようにした。また、高圧電源により、高圧印加用電極に 10 kV の DC 電圧を印加した。

【0182】

このとき、高圧印加用電極と電子源基板とが形成するコンデンサに蓄えられた

エネルギー E_{con} は $1.1 \times 10^{-2} \text{ J}$ である。これは前述した導電性薄膜が放電時に破壊されるエネルギー E_{th} 以下である。

【0183】

メカニカルステージは X 方向に 10 mm/min で移動し、高圧印加用電極の下を通過させた。この時、電子源基板が高圧印加用電極の下を通過するのに要した時間は、100 分であった。

【0184】

また、高圧印加用電極と電子源基板間に流れる電流を制限抵抗の両端の電圧で測定した。本工程においては、電子源基板間に $10 \mu\text{A}$ 以上流れる放電現象が 4 回観測された。

【0185】

その後、高圧電源を OFF にし、装置から電子源基板を取り外し、インジウムシート 14 を電子源基板上から取り除いた。

【0186】

本コンディショニング工程前には各素子の抵抗は 300Ω 程度であったが、本工程後に各素子の抵抗に大きな差は測定されなかった。

【0187】

次に、この電子源基板を用いて図 18 に示す構成の画像形成装置を以下のようにして作成した。

【0188】

多数の平面型表面伝導型電子放出素子を作製した基板 71 をリアプレート 81 上に固定した後、基板 1 の 3 mm 上方に、フェースプレート 86 (ガラス基板 83 の内面に蛍光膜 84 とメタルバック 85 が形成されて構成される) を支持棒 82 を介し配置し、フェースプレート 86、支持棒 82、リアプレート 81 の接合部にフリットガラスを塗布し、大気中で 410°C で 10 分以上焼成することで封着し、外囲器 88 を作成した。また、リアプレート 81 への基板 71 の固定もフリットガラスで行った。図 18 において、74 は電子放出素子、72, 73 はそれぞれ X 方向および Y 方向の配線である。

【0189】

蛍光膜 8 4 は、図 1 9 (a) に示すような、黒色導電材 9 1 と蛍光体 9 2 とで構成された、ブラックストライプ配列のカラーの蛍光膜を用いた。先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜 8 4 を作製した。ガラス基板に蛍光体を塗布する方法はスラリー法を用いた。また、蛍光膜 8 4 の内面側にはメタルバック 8 5 を設けた。メタルバック 8 5 は、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後 A 1 を真空蒸着することで作製した。前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【 0 1 9 0 】

以上のようにして完成した外囲器 8 8 を排気管（不図示）を介し、磁気浮上型ターボモレキュラーポンプで排気された真空装置と接続した。

【 0 1 9 1 】

その後、外囲器 8 8 内を $1.3 \times 10^{-4} \text{ Pa}$ まで排気した。

【 0 1 9 2 】

〔フォーミング工程〕

容器外端子 $D \times 1$ 乃至 $D \times m$ ($m = 2000$) と $D \times y 1$ 乃至 $D \times y n$ ($n = 1100$) を通じ電子放出素子 7 4 の電極 2, 3 間に電圧を印加し、電子放出部 5 を、導電性薄膜 4 を通電処理（フォーミング処理）することにより作成した。

【 0 1 9 3 】

フォーミング処理の電圧波形を図 1 4 (b) に示す。図 1 4 (b) 中、T 1 および T 2 は電圧波形のパルス幅とパルス間隔であり、本実施例では T 1 を 1 m s e c、T 2 を 1 0 m s e c とし、波高値（フォーミング時のピーク電圧）は 0. 1 V ステップで昇圧し、フォーミング処理を行った。また、フォーミング処理中は、同時に、0. 1 V の電圧で、T 2 間に抵抗測定パルスを挿入し、抵抗を測定した。尚フォーミング処理の終了は、抵抗測定パルスでの測定値が、約 1 M Ω 以上になった時とし、同時に、素子への電圧の印加を終了した。それぞれの素子のフォーミング電圧 V F は、1 0. 0 V であった。

【0194】

このように作成された電子放出部 5 は、パラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は 3 nm であった。

【0195】

次に、真空装置を経由して、外囲器 88 内にベンゾニトリルを 6.6×10^{-4} Pa 導入した。

【0196】

容器外端子 $Dox1$ 乃至 $Doxm$ ($m=2000$) を共通にし、 $Doy1$ 乃至 $Doy n$ ($n=1100$) に順次電源（不図示）を接続し、対応する電子放出素子 74 の電極 2, 3 間に電圧を印加し活性化工程を行った。

【0197】

活性化工程での電圧印加条件は、波高値は ± 10 V、パルス幅 0.1 msec、パルス間隔 5 msec の両極の三角波（図 14 (b)）を用いた。その後、波高値は ± 10 V から ± 16 V まで 3.3 mV/sec で徐々に電圧を増加させ、 ± 16 V に達したときに電圧印加を終了した。

【0198】

その後、外囲器 88 内のベンゾニトリルを排気した。

【0199】

最後に安定化工程として、約 1.33 ± 10^{-4} Pa の圧力で、 150°C 10 時間のベーキングを行った後、不図示の排気管をガスバーナーで熱することで溶着し外囲器 88 の封止を行った。

【0200】

以上のように完成した本発明の画像形成装置において、各電子放出素子には、容器外端子 $Dox1$ 乃至 $Doxm$ ($m=2000$)、端子 $Doy1$ 乃至 $Doy n$ ($n=1100$) を通じ、走査信号および変調信号を不図示の信号発生手段よりそれぞれ、印加することにより、電子放出させ、高圧端子 Hv を通じ、メタルバック 85 に 10 kV の高圧を印加し、電子ビームを加速し、蛍光膜 84 に衝突させ、励起・発光させることで画像を表示した。

【0201】

画像表示中の、各電子放出素子の放出電流 (I_e) のばらつき (分散 σ / 平均 R) は 8 % であった。

【 0 2 0 2 】

以上のように、大面積電子源基板の製作においても、電子放出素子にダメージを与えずコンディショニング工程を実施することができ、画像形成時の放電が抑制でき、かつ均一な特性を有する電子源基板を提供することが出来た。

【 0 2 0 3 】

【実施例 2】

本実施例は、本発明によるコンディショニング工程をフォーミング後に行い電子源基板を製作した例である。

【 0 2 0 4 】

本実施例も、画像形成装置を作製した例である。

【 0 2 0 5 】

本実施例の電子源基板には、X 方向配線上に 7 2 0 個、Y 方向配線上に 2 4 0 個の電子放出素子を形成した。また、電子源基板は X 方向で 2 0 0 mm、Y 方向で 1 5 0 mm の大きさである。

【 0 2 0 6 】

電子源基板の構成、製法はコンディショニング工程まで実施例 1 と同様の方法で行った。

【 0 2 0 7 】

【第 1 のコンディショニング工程】

本実施例における電子源基板に、第 1 のコンディショニング工程を行った。高圧印加用電極は、X 方向が 2 0 0 mm、Y 方向が 1 5 0 mm のものを用いた。本工程においては、高圧印加用電極と電子源基板を対向する位置に 3 0 分間保持した。その他は、制限抵抗 (5 M Ω)、高圧印加用電極に印加した電圧 (1 0 k V)、高圧印加用電極と電子源基板の距離 (2 mm) 等、実施例 1 と同様の方法で行った。

【 0 2 0 8 】

このとき、高圧印加用電極と電子源基板とが形成するコンデンサに蓄えられた

エネルギー E_{con} は $6.6 \times 10^{-3} \text{ J}$ である。これは前述した導電性薄膜が放電時に破壊されるエネルギー E_{th} 以下である。

【0209】

本工程では、1回の放電が観測された。本工程前には各素子の抵抗は 300Ω 程度であったが、本工程後に各素子の抵抗に大きな差は測定されなかった。

【0210】

〔フォーミング工程〕

以上のようにして作製した電子源基板は図15の装置内に設置し、真空装置55の内部を排気し、フォーミングを行う。この際、図3に示すように、Y方向配線73を共通電極141に接続し、X方向配線72の内の一つに接続された素子に電源142によって、同時に電圧パルス印加して、フォーミングを行った。パルスの形状や、処理の終了の判定などの条件は、実施例1と同様の方法で行った。各X方向配線72に対して、順次同様の操作を行い、すべての素子に対してフォーミングを行った。フォーミング電圧 V_F は、 5.0 V であった。

【0211】

次に、真空装置55内にベンゾニトリルを $6.6 \times 10^{-4} \text{ Pa}$ を導入し、活性化を行った。

【0212】

フォーミング工程と同様に、図3に示すように、Y方向配線73を共通電極141に接続し、X方向配線72の内の一つに接続された素子に電源142によって、同時に電圧パルス印加して、活性化を行った。電圧印加条件は、波高値は $\pm 5 \text{ V}$ 、パルス幅 0.1 msec 、パルス間隔 5 msec の両極の三角波（図14(b)）を用いた。その後、波高値は $\pm 5 \text{ V}$ から $\pm 14 \text{ V}$ まで 3.3 mV/sec で徐々に電圧を増加させ、 $\pm 14 \text{ V}$ に達したときに電圧印加を終了した。各X方向配線72に対して、順次同様の操作を行い、すべての素子に対して活性化を行った。

【0213】

その後、真空装置55内のベンゾニトリルを排気した。

【0214】

最後に安定化工程として、約 1.33 ± 10^{-4} Pa の圧力で、 150°C 10 時間のベーキングを行った。

【0 2 1 5】

以上のように作製した電子源基板の 3 mm 上方に設置したアノード電極 5 4 に高圧電源より 10 kV の電圧を印加し、電子源基板上の素子を駆動した。ここで、用いたアノード電極は、透明電極を形成したガラス基板上に単色の蛍光膜およびメタルバックを全面に設けたものを用いた。

【0 2 1 6】

フォーミング工程と同様に、図 3 に示すように、Y 方向配線 7 3 を共通電極 1 4 1 に接続し、X 方向配線 7 2 の内の一つに接続された素子に電源 1 4 2 によって、同時に電圧パルスを印加して、素子の駆動を行った。電圧波形を図 1 4 (a) に示す。図 1 4 (a) 中、T 1 および T 2 は電圧波形のパルス幅とパルス間隔であり、本実施例では T 1 を 16.7 msec、T 2 を 1 msec とし、波高値は 15 V で行った。

【0 2 1 7】

この時、電子源基板の一部で DC 的な微少発光がみられた。このような、微少発光は後の駆動中に素子の劣化を伴う放電に至ることがあるため、コンディショニング工程を再度行うこととした。

【0 2 1 8】

[第 2 のコンディショニング工程]

本コンディショニング工程は、図 6 および図 7 に示したような構成の電界印加装置により実施した。

【0 2 1 9】

まず、電子源基板 7 1 に対して、上下配線の端部に厚さ 500 ミクロン、幅 5 mm のインジウムシート 1 4 を圧着し、すべての配線を共通にして接地し、メカニカルステージ 1 3 上に固定した。高圧印加用電極 1 1 は X, Y 方向が共に 1 mm のものを用いた。この時、電子源基板と対向する面積は $1 \times 10^{-6} \text{m}^2$ である。高圧印加用電極 1 1 は $5 \text{M}\Omega$ の制限抵抗 1 2 を介して高圧電源に接続した。この後、メカニカルステージ 1 3 を Z 方向に移動し、高圧印加用電極 1 1 との距

離が 2 mm となるようにした。また、高圧電源 1 5 により、高圧印加用電極 1 1 に 1 2 k V の D C 電圧を印加した。

【 0 2 2 0 】

このとき、高圧印加用電極 1 1 と電子源基板 7 1 とが形成するコンデンサに蓄えられたエネルギー E_{con} は 3.2×10^{-7} J である。これは前述した導電性薄膜が放電時に破壊されるエネルギー E_{th} 以下である。

【 0 2 2 1 】

メカニカルステージ 1 3 は X 方向に 1 0 mm / min で移動し、高圧印加用電極 1 1 は 1 0 0 mm / min で Y 方向に 1 0 mm の幅で繰り返し往復移動させた。この時、前述した微少発光が観察された領域が高圧印加用電極 1 1 の下を通過するよう移動した。

【 0 2 2 2 】

高圧印加用電極 1 1 と電子源基板 7 1 間に流れる電流を制限抵抗 1 2 の両端の電圧で測定した。本工程においては、電子源基板間に 1 0 μ A 以上流れる放電現象が 1 回観測された。

【 0 2 2 3 】

その後、高圧電源を O F F にし、装置から電子源基板 7 1 を取り外し、インジウムシート 1 4 を電子源基板 7 1 から取り除いた。

【 0 2 2 4 】

再び電子源基板 7 1 を図 1 5 の装置内に設置し、本コンディショニング工程前と同様の方法で、電子源基板上の素子を駆動した。先ほど観測された微少発光は見られなくなっていた。また、電子放出素子の放出電流に変化はなかった。

【 0 2 2 5 】

以上のように、フォーミング後の工程においても電子源基板上の電子放出素子にダメージを与えずコンディショニング工程を行うことができた。これにより、作製した電子源基板を効率よく提供できた。

【 0 2 2 6 】

〔実施例 3〕

本実施例は、複数の高圧印加用電極を用いてコンディショニング工程を行なっ

た例である。電子源基板の構成、製法はコンディショニング工程まで実施例 1 と同様の方法で行なった。コンディショニング工程で用いた高圧印加用電極は実施例 1 で用いたものと同じ形状の電極を 1 0 本用いた。各電極は、x 方向に 1 0 m m 間隔で配置した。各電極はそれぞれ制限抵抗 (5 M Ω) を通して高圧電源に接続した他は、各高圧印加用電極に印加した電圧 (1 0 k V)、各高圧印加用電極と電子源基板の距離 (2 m m) 等、実施例 1 と同様の方法で行なった。また、メカニカルステージの移動も実施例 1 と同様の方法で行なったが、電子源基板の任意の点が少なくともいずれかの高圧印加用電極の下を通過するのに要した時間は約 1 0 分であった。本工程においては、3 回の放電が観測され実施例 1 と同様の効果が得られた。

【0 2 2 7】

このように、複数の高圧印加用電極を用いることにより、コンディショニング工程を短時間で行うことができた。

【0 2 2 8】

〔実施例 4〕

本実施例では、コンディショニング工程中に、電子源基板と、該電子源基板と対向する電極の間に、前駆電流が流れるように電圧を制御した。

【0 2 2 9】

この手法により、瞬間的に生じる放電を生じせしめることなく、電圧印加を行うことができた。

【0 2 3 0】

【発明の効果】

以上説明したように本発明によれば、次のような効果が得られる。

【0 2 3 1】

コンディショニング工程において、電極と電子源基板とが形成するコンデンサに蓄えられるエネルギーを導電性薄膜を破壊するエネルギー以下に制限することにより、本工程における放電時に電子源基板で消費されるエネルギーを制限でき、導電性薄膜の破壊を抑制することができる。

【0 2 3 2】

特に、大面積な電子源基板の製造において、電子源基板上の素子の破壊なく本工程を実施することができる。

【 0 2 3 3 】

さらに、電子源基板製造時に、どの工程においてもコンディショニングを行えるため効率よく電子源の基板を製造できる。

【図面の簡単な説明】

【図 1】

本発明を適用可能な電子源基板のコンディショニング工程を行うための模式図である。

【図 2】

本発明を適用可能な電子源基板のコンディショニング工程を行うための真空排気装置の模式図である。

【図 3】

本発明の画像形成装置、フォーミング、活性化工程のための結線方法を示す模式図である。

【図 4】

コンディショニング工程における等価回路の模式図である。

【図 5】

コンディショニング工程における、高圧印加用電極の面積と放電破壊数の関係を示したグラフである。

【図 6】

本発明を適用可能な電子源基板のコンディショニング工程を行うための模式図である。

【図 7】

本発明を適用可能な電子源基板のコンディショニング工程を行うための真空排気装置の模式図である。

【図 8】

本発明を適用可能な電子源の平面図である。

【図 9】

図 8 の A - A' 断面図である。

【図 1 0】

図 9 の製造工程を示す工程断面図である。

【図 1 1】

本発明を適用可能な表面伝導型電子放出素子の構成を示す模式的平面図および断面図である。

【図 1 2】

本発明を適用可能な垂直型表面伝導型電子放出素子の構成を示す模式図である。

【図 1 3】

本発明を適用可能な表面伝導型電子放出素子の製造方法の 1 例を示す模式図である。

【図 1 4】

本発明を適用可能な表面伝導型電子放出素子の製造に際して採用できる通電フォーミング処理における電圧波形の一例を示す模式図である。

【図 1 5】

測定評価機能を備えた真空処理装置の一例を示す模式図である。

【図 1 6】

本発明を適用可能な表面伝導型電子放出素子についての放出電流 I_e 、素子電流 I_f と素子電圧 V_f の関係を示すグラフである。

【図 1 7】

本発明を適用可能な単純マトリクス配置した電子源の一例を示す模式図である。

【図 1 8】

本発明を適用可能な画像形成装置の表示パネルの一例を示す模式図である。

【図 1 9】

蛍光膜の一例を示す模式図である。

【図 2 0】

画像形成装置に NTSC 方式のテレビ信号に応じて表示を行うための駆動回路

の一例を示すブロック図である。

【図 2 1】

本発明を適用可能な梯子配置の電子源の一例を示す模式図である。

【図 2 2】

本発明を適用可能な画像形成装置の表示パネルの一例を示す模式図である。

【図 2 3】

本発明の画像表示装置フォーミング、活性化工程を行うための真空排気装置の模式図である。

【符号の説明】

- 1 基板
- 2, 3 素子電極
- 4 導電性薄膜
- 5 電子放出部
- 10, 11, 1010 高圧印加用電極
- 12 電流制限抵抗
- 13 メカニカルステージ
- 14 導電性の取り出し部材
- 15 高圧電源
- 21 段差形成部
- 50 素子電極 2・3 間の導電性薄膜 4 を流れる素子電流 I_f を測定するための電流計
- 51 電子放出素子に素子電圧 V_f を印加するための電源
- 52 素子の電子放出部 5 より放出される放出電流 I_e を測定するための電流計
- 53 アノード電極 54 に電圧を印加するための高圧電源
- 54 素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極
- 55 真空装置
- 56 排気ポンプ

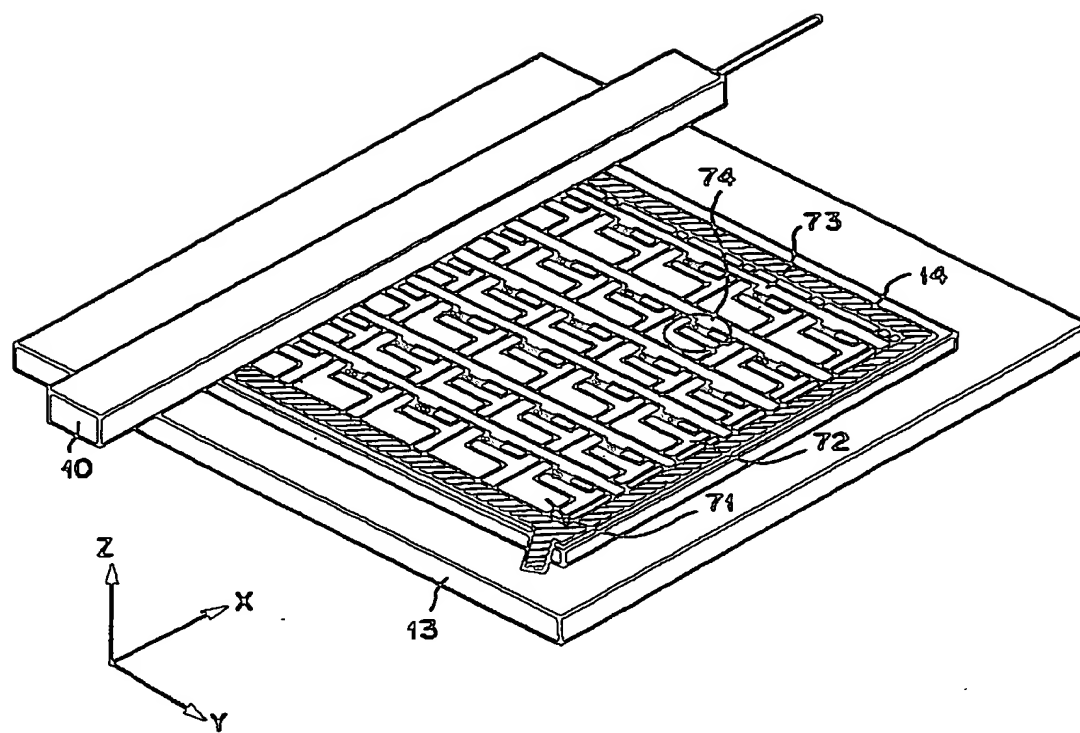
- 7 1 電子源基板
- 7 2 X方向配線
- 7 3 Y方向配線
- 7 4 表面伝導型電子放出素子
- 7 5 結線
- 8 1 リアプレート
- 8 2 支持枠
- 8 3 ガラス基板
- 8 4 蛍光膜
- 8 5 メタルバック
- 8 6 フェースプレート
- H v 高圧端子
- 8 8 外囲器
- 9 1 黒色導電材
- 9 2 蛍光体
- 1 0 1 表示パネル
- 1 0 2 走査回路
- 1 0 3 制御回路
- 1 0 4 シフトレジスタ
- 1 0 5 ラインメモリ
- 1 0 6 同期信号分離回路
- 1 0 7 変調信号発生器
- V xおよびV a 直流電圧源
- 1 1 0 電子源基板
- 1 1 1 電子放出素子
- 1 1 2 D x 1 ~ D x 1 0 は、前記電子放出素子を配線するための共通配線
- 1 2 0 グリッド電極
- 1 2 1 電子が通過するための空孔

1 2 2	D o x 1, D o x 2, D o x mよりなる容器外端子
1 2 3	グリッド電極 1 2 0 と接続された G 1、G 2 … G n よりなる
容器外端子	
1 3 1	画像表示装置
1 3 2	排気管
1 3 3	真空チャンバー
1 3 4	ゲートバルブ
1 3 5	排気装置
1 3 6	圧力計
1 3 7	四重極質量分析器
1 3 8	ガス導入ライン
1 3 9	導入量制御手段
1 4 0	導入物質源
1 4 1	共通電極
1 4 2	電源
1 4 3	電流測定用抵抗
1 4 4	オシロスコープ

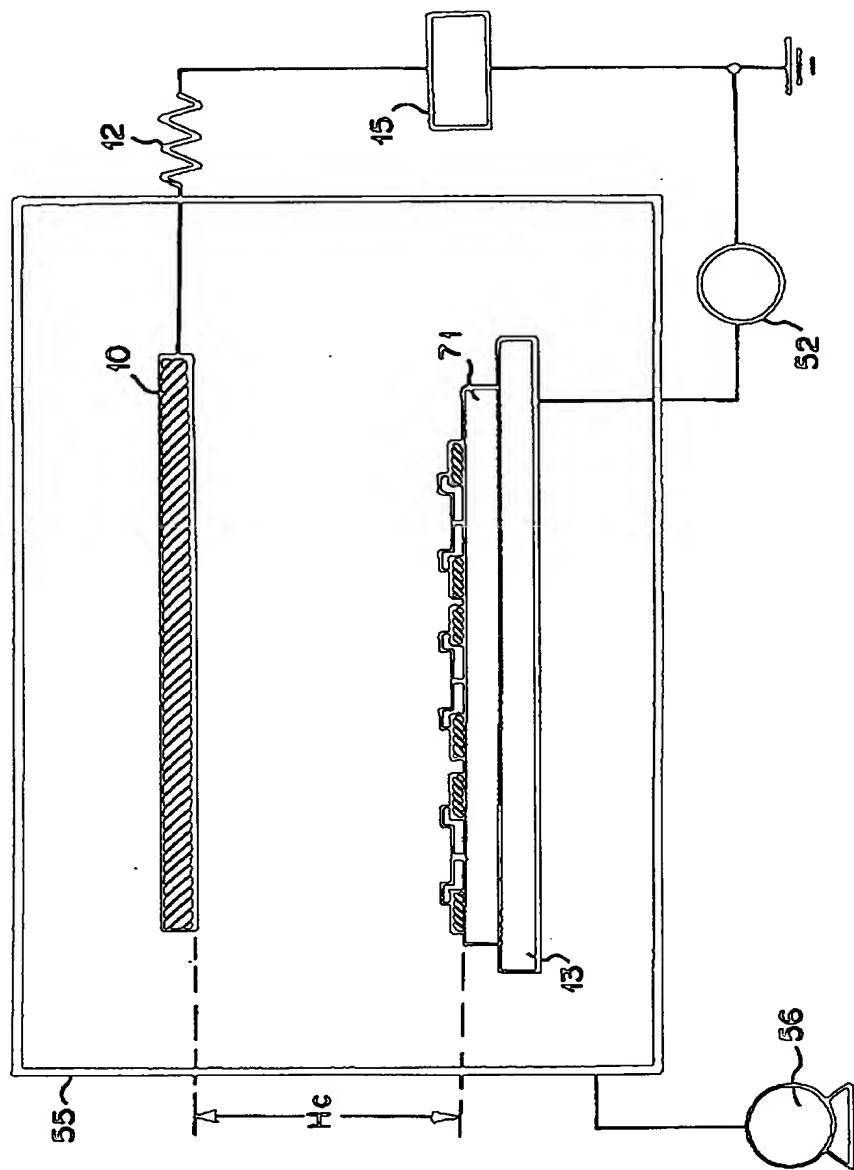
【書類名】

図面

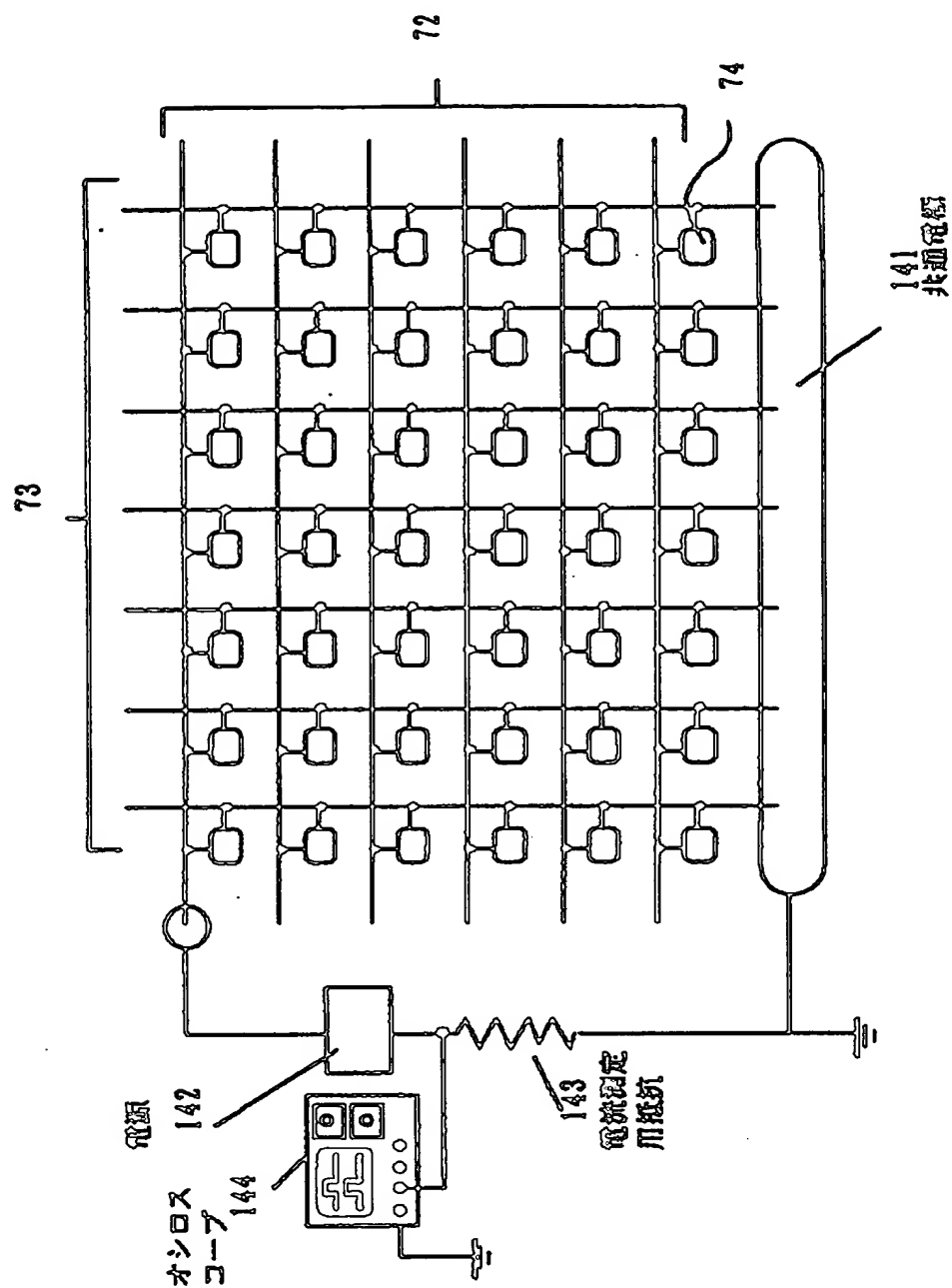
【図 1】



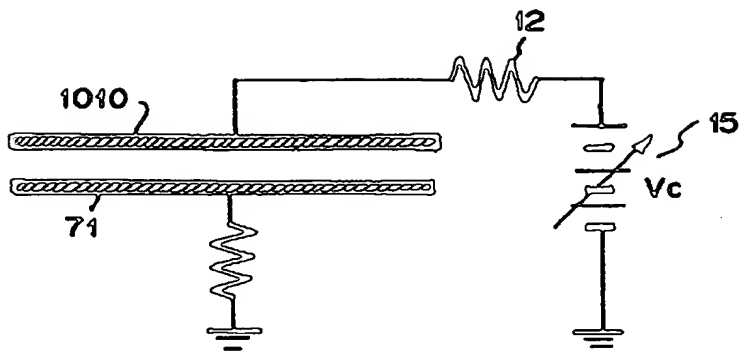
【図 2】



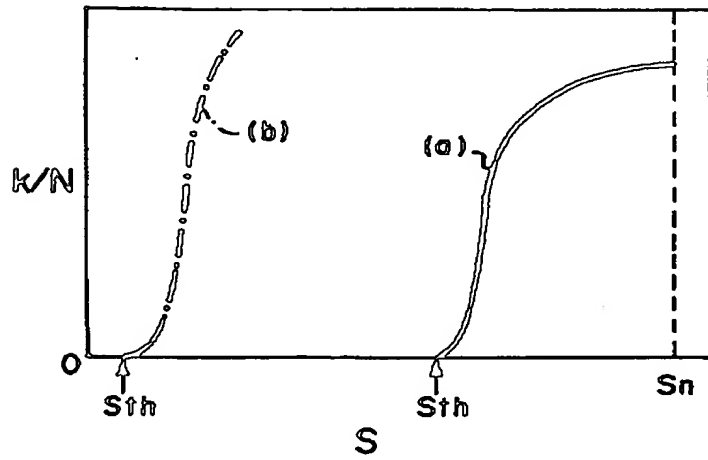
【図 3】



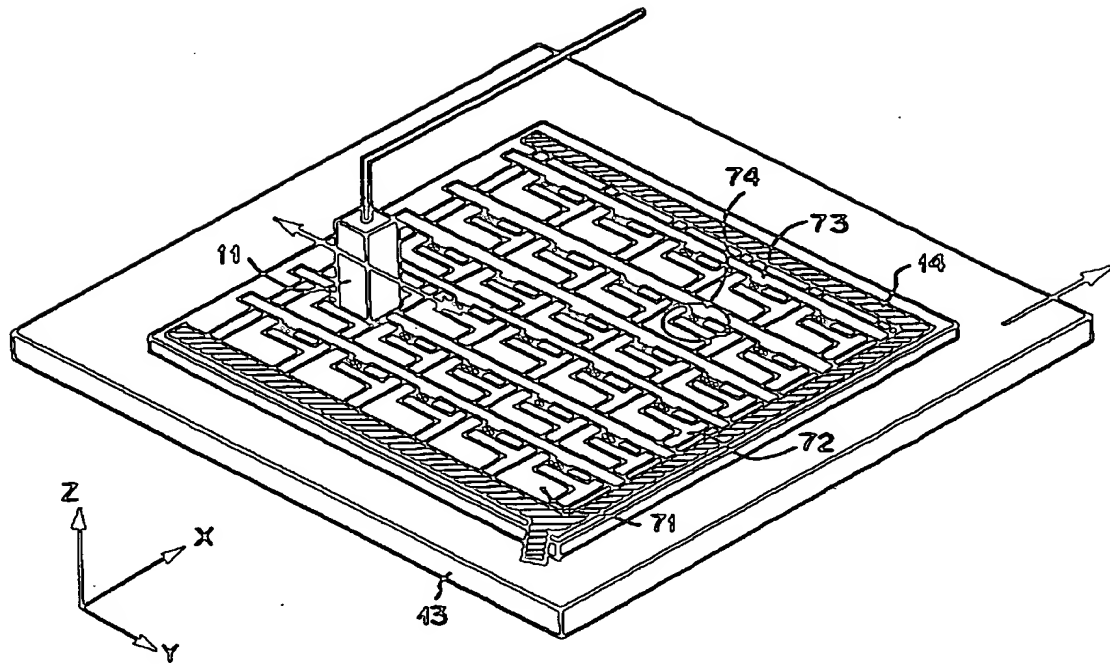
【図 4】



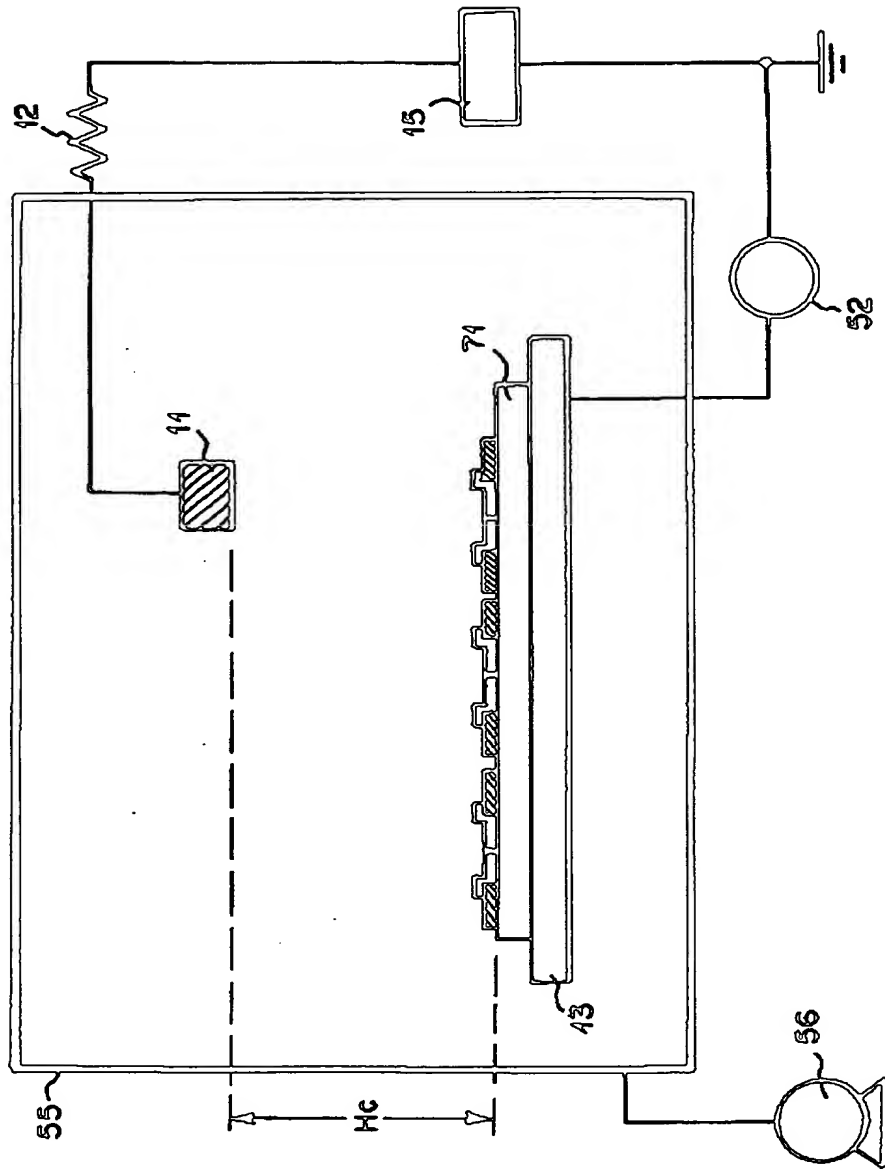
【図 5】



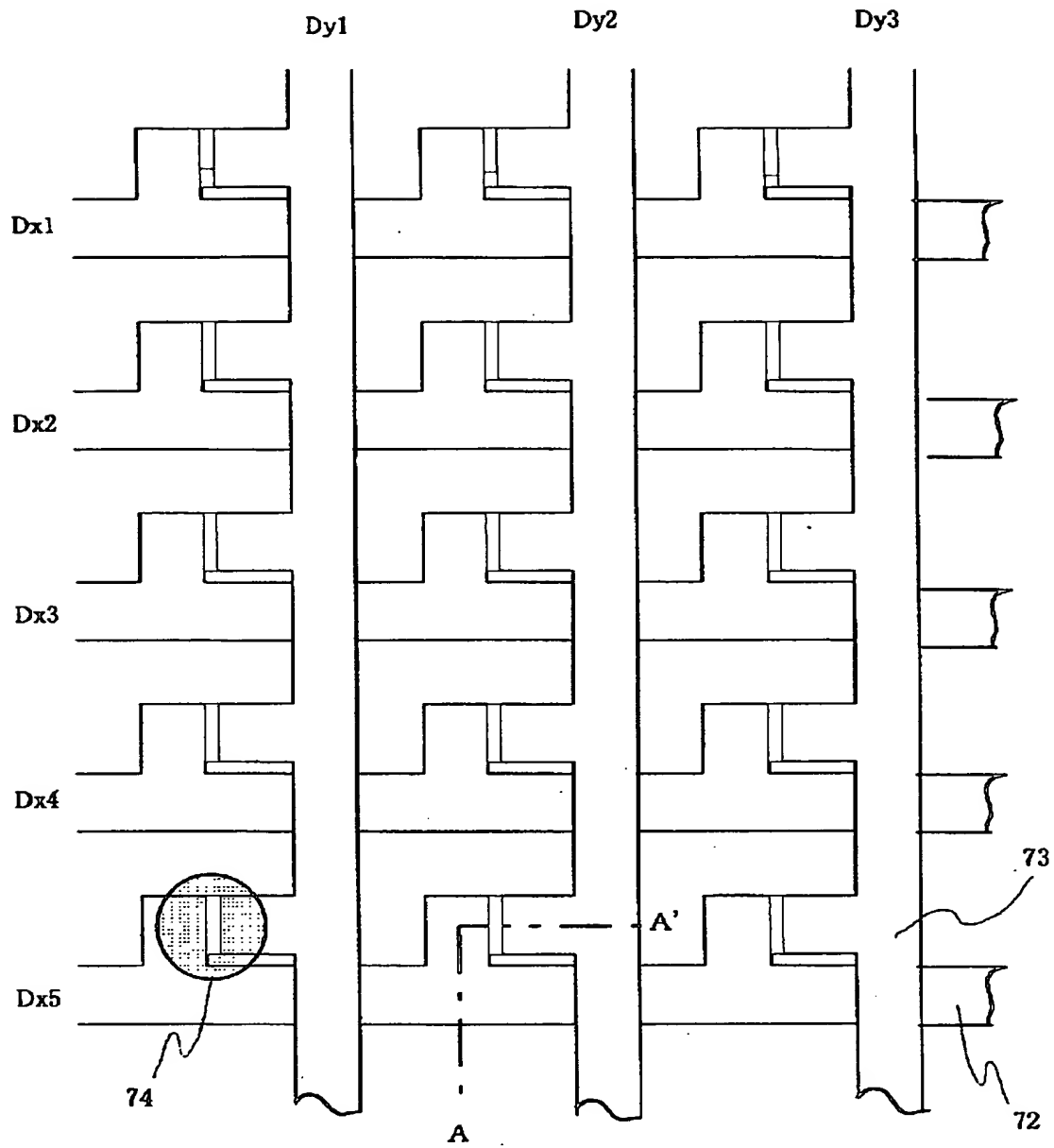
【図 6】



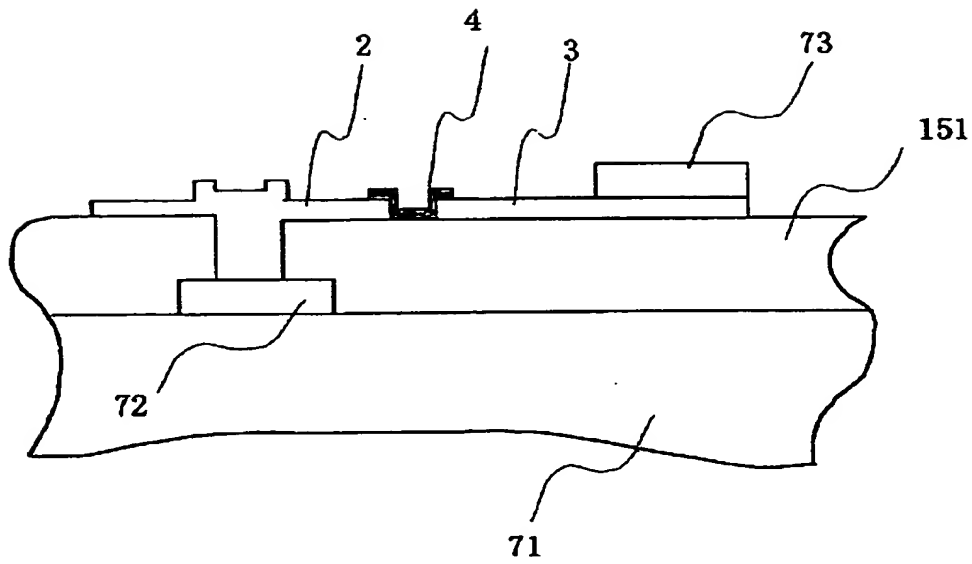
【図 7】



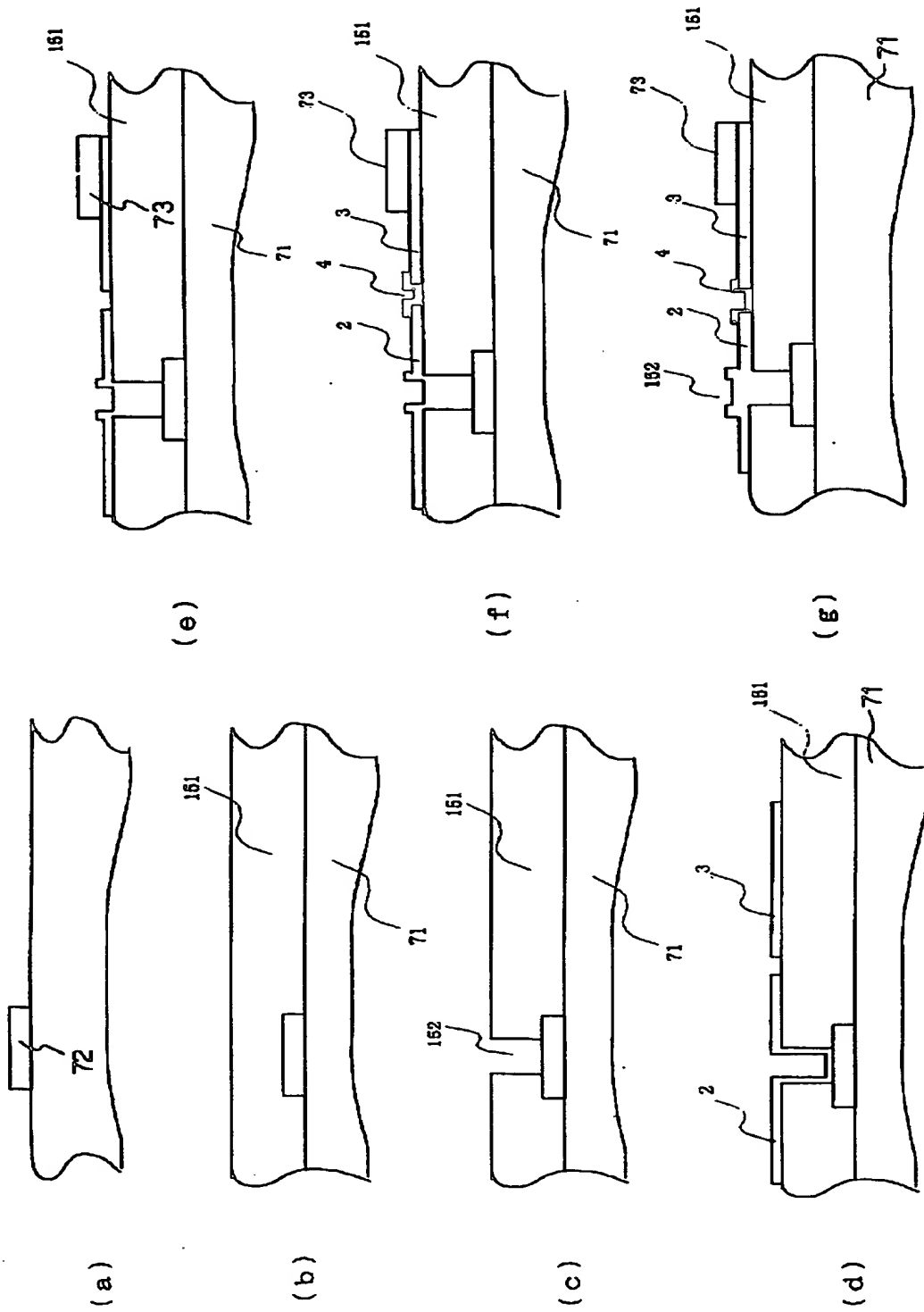
【図 8】



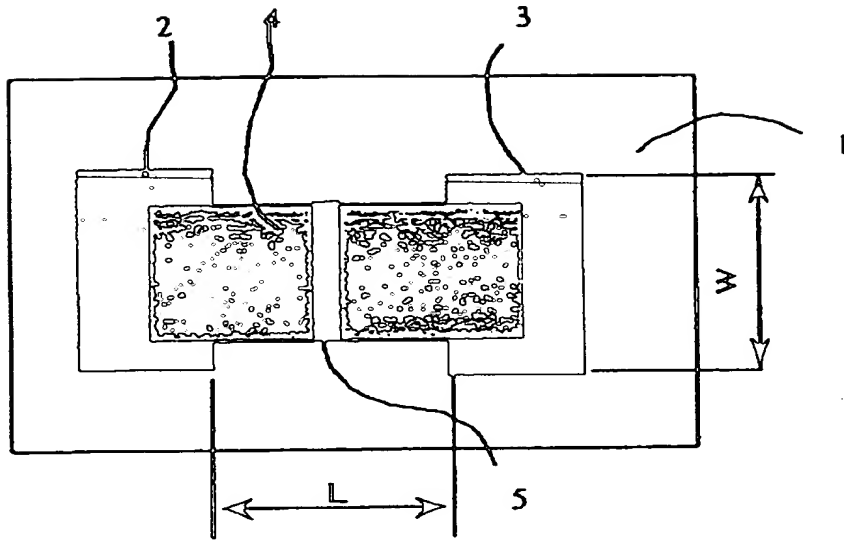
【図9】



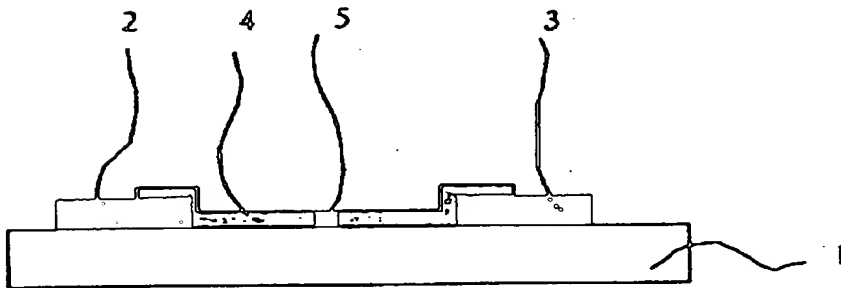
【図 10】



【図 1 1】

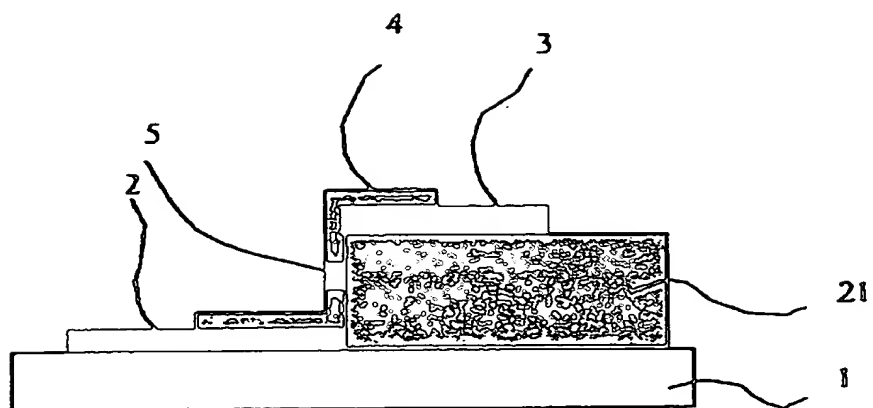


(a)

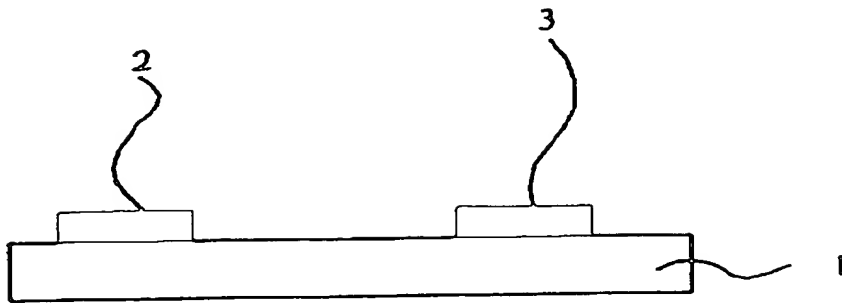


(b)

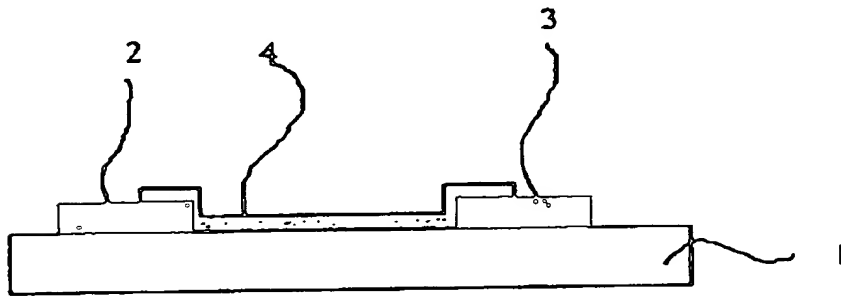
【図 12】



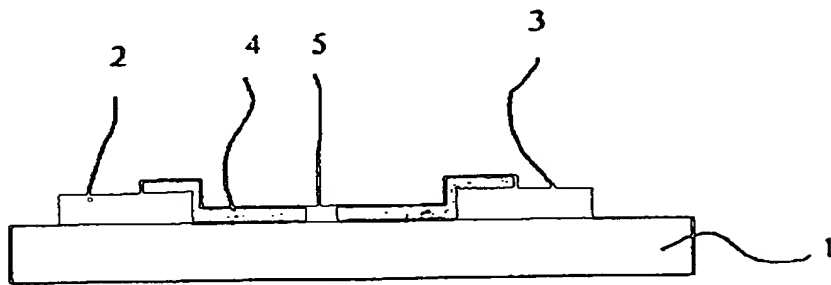
【図 1 3】



(a)

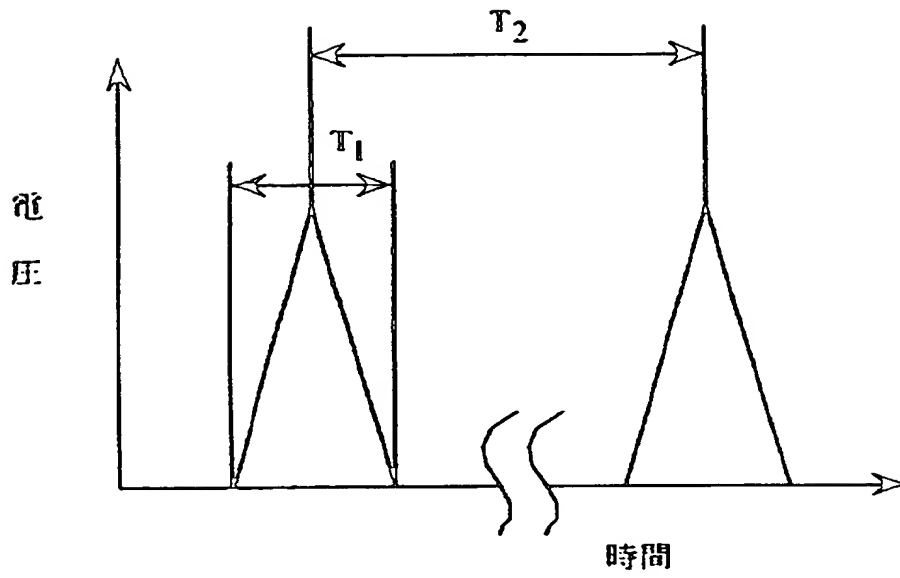


(b)

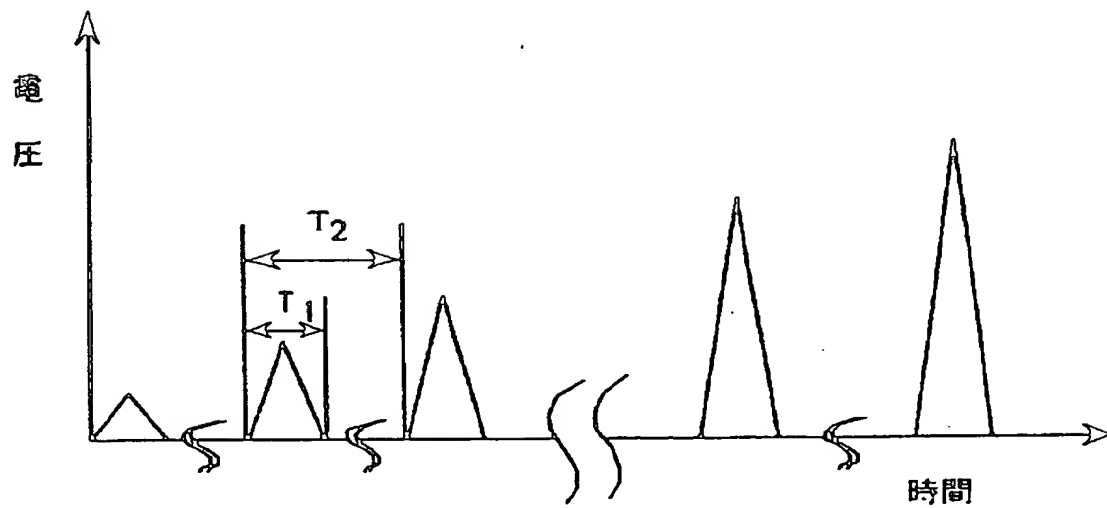


(c)

【図 1 4】

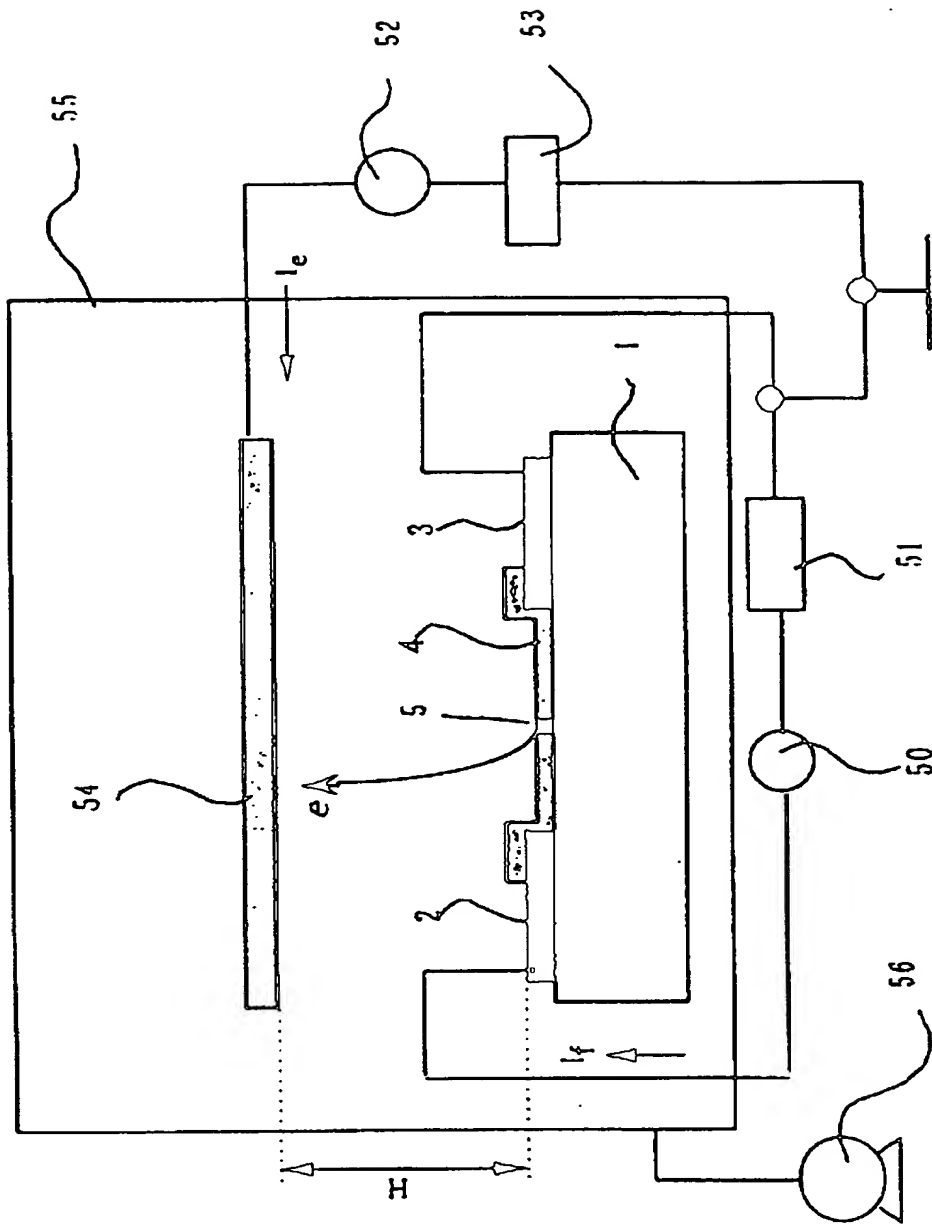


(a)

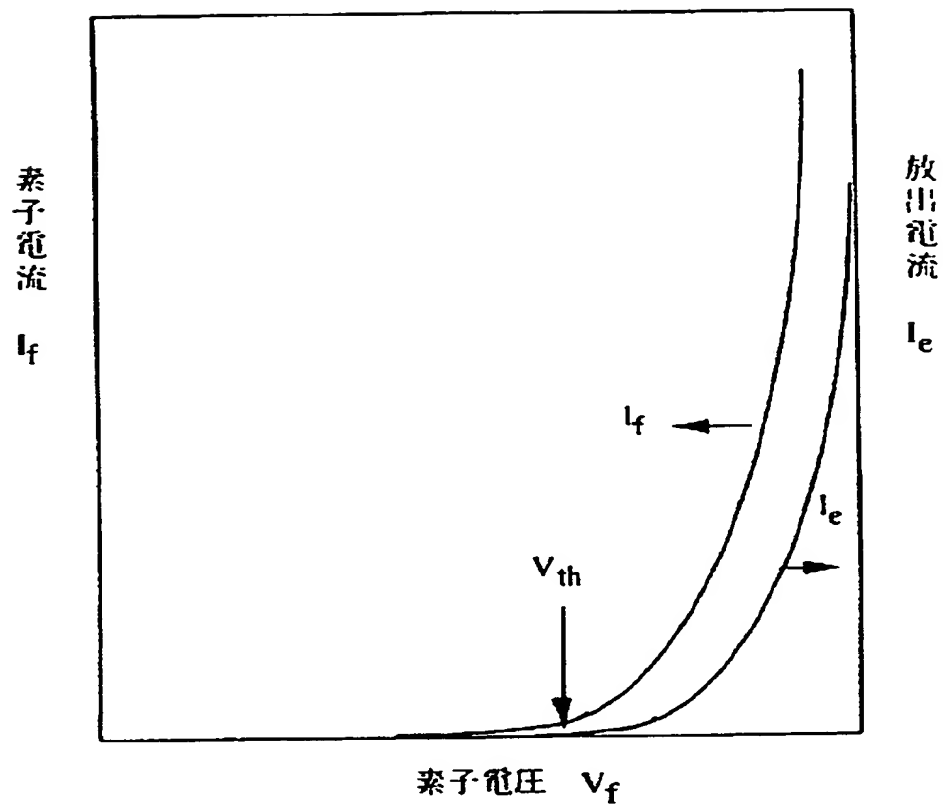


(b)

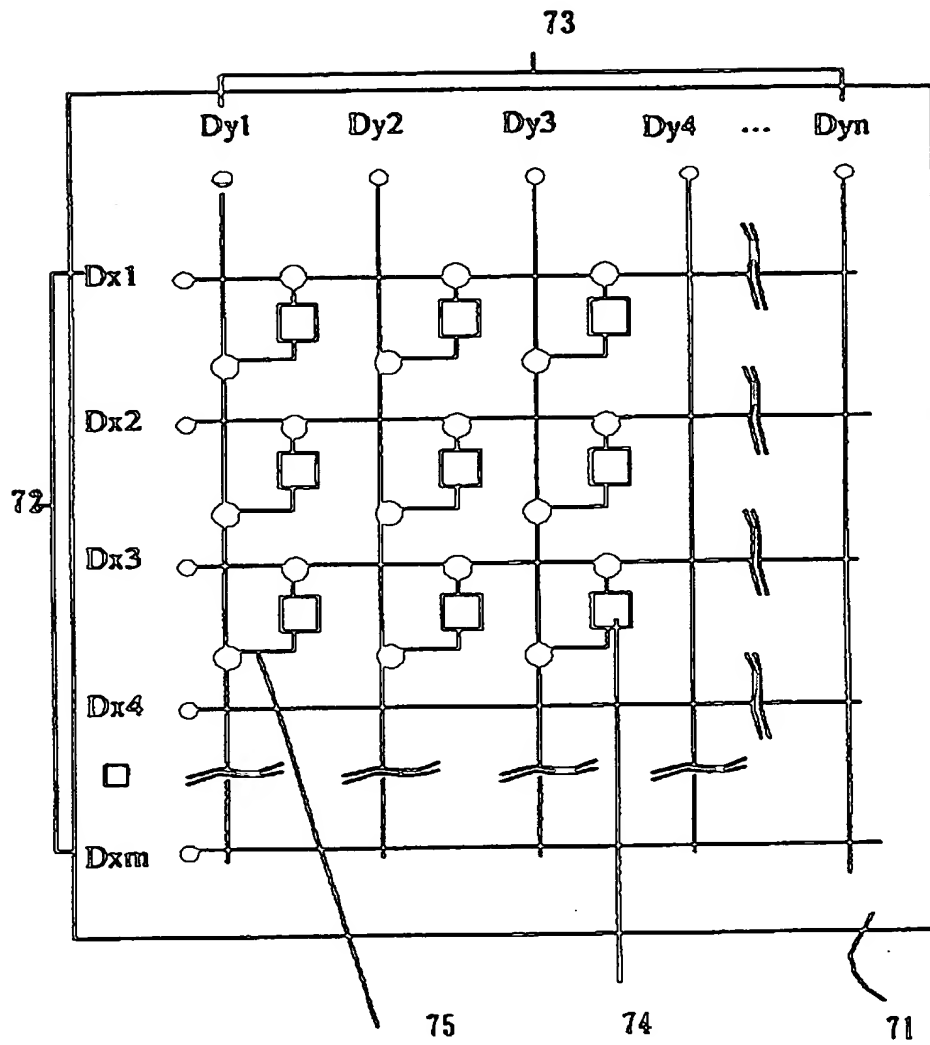
【図 15】



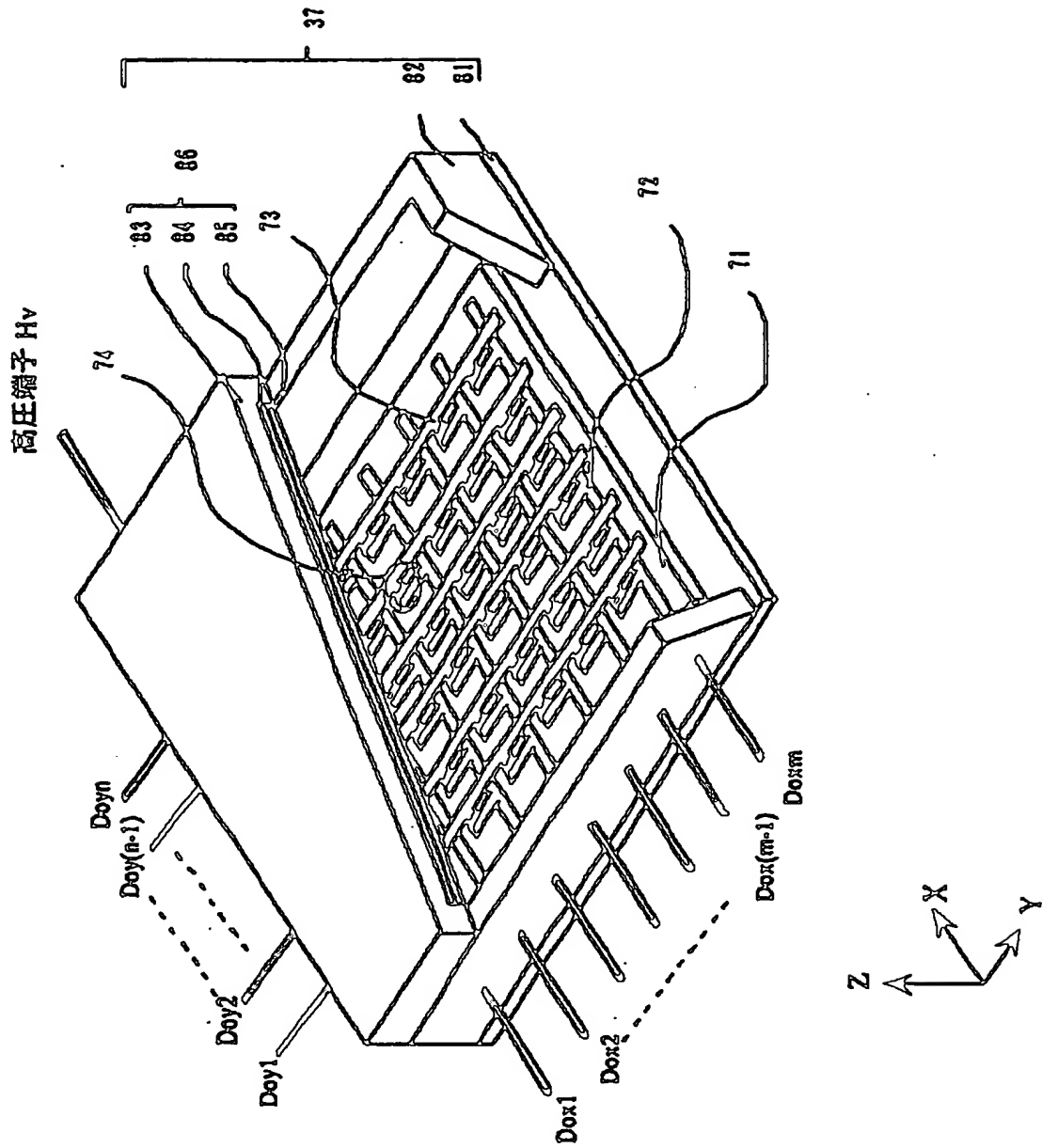
【図 1 6】



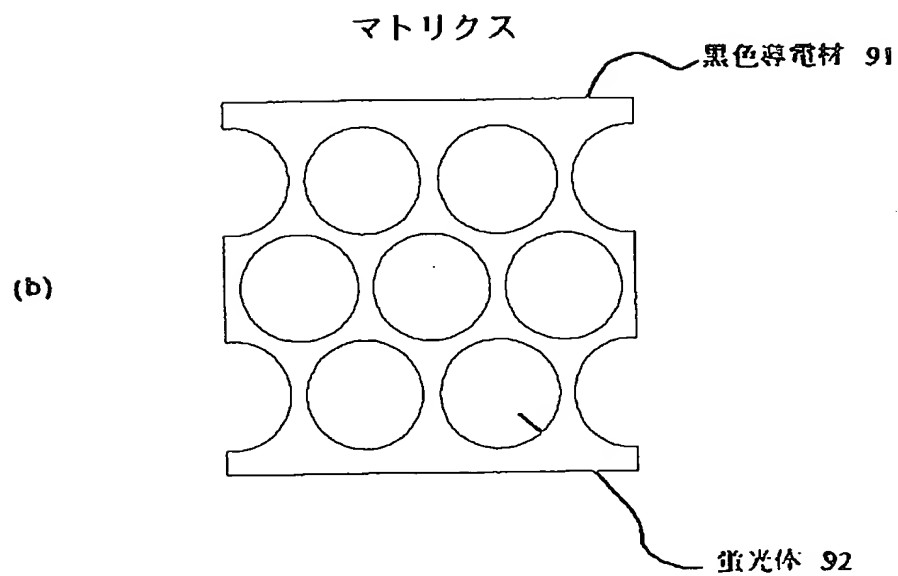
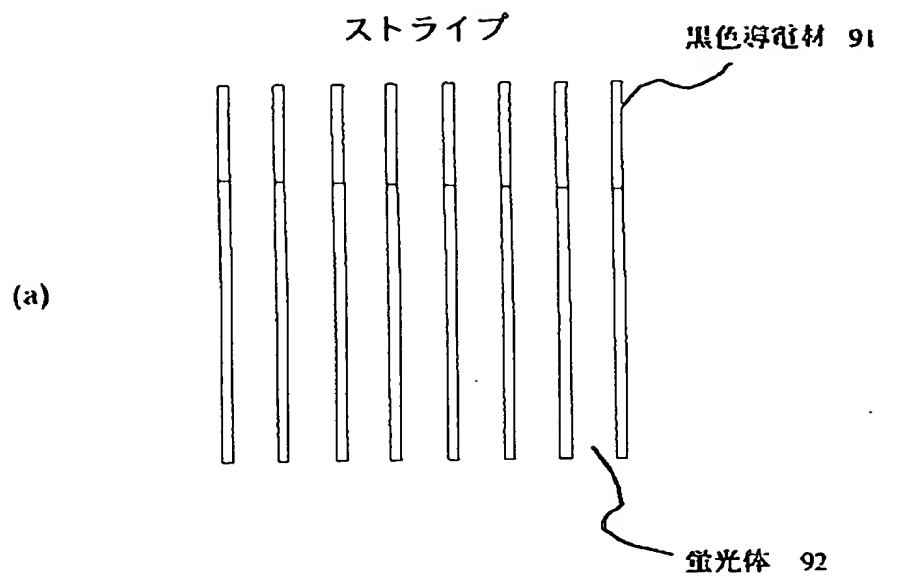
【図 1 7】



【図 1 8】

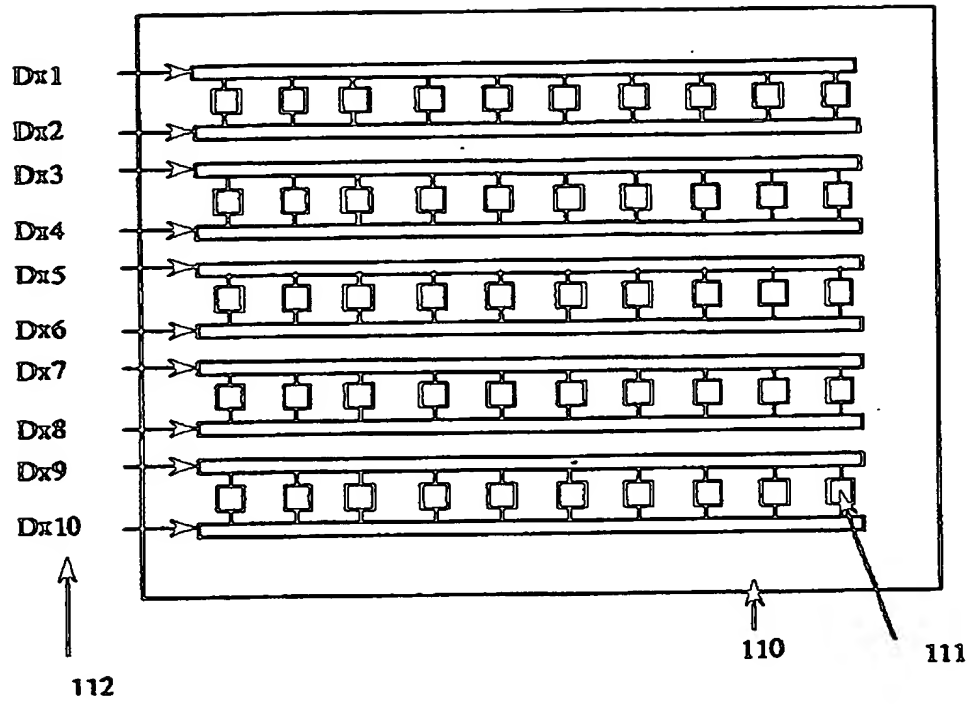


【図 1 9】

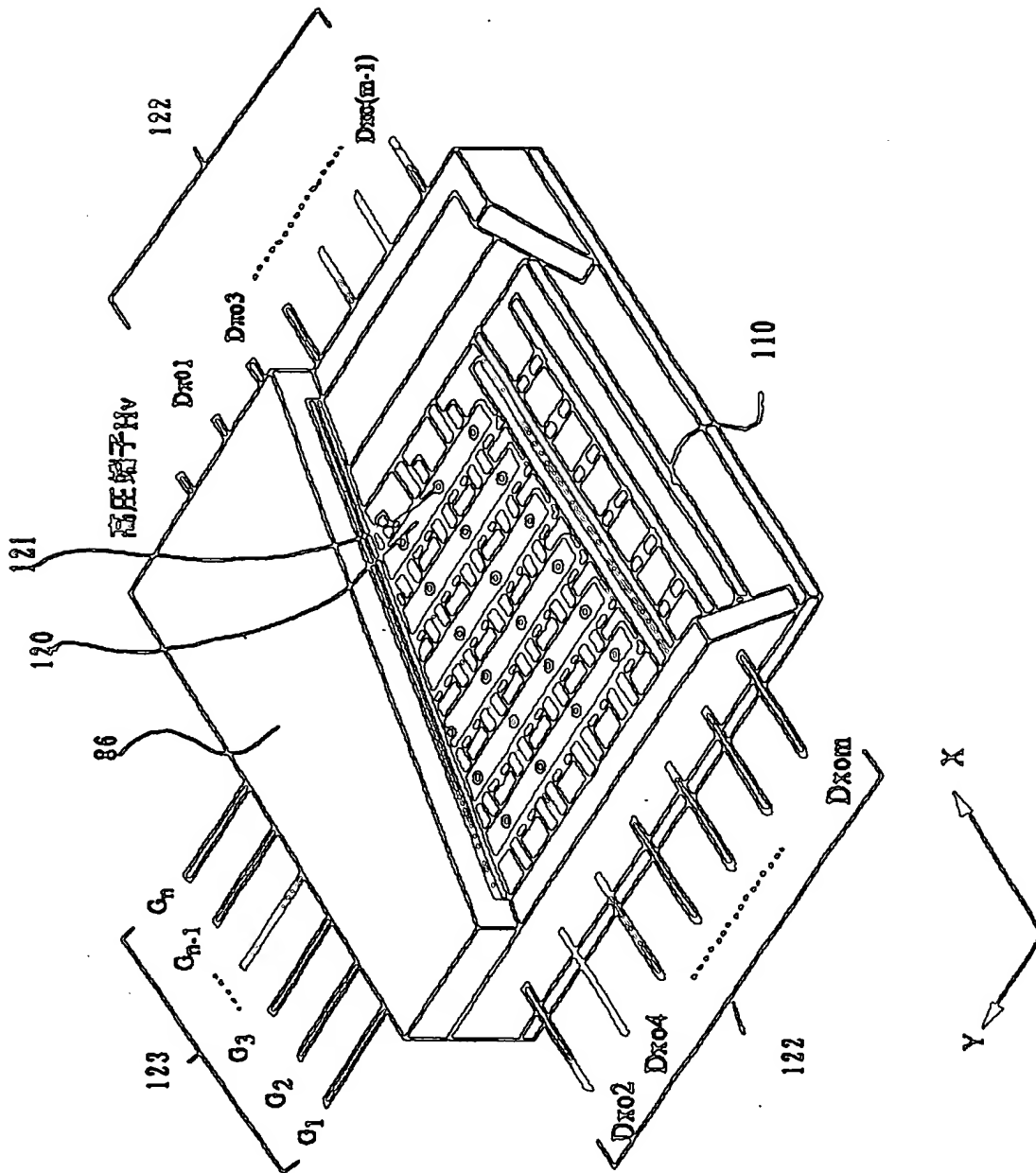




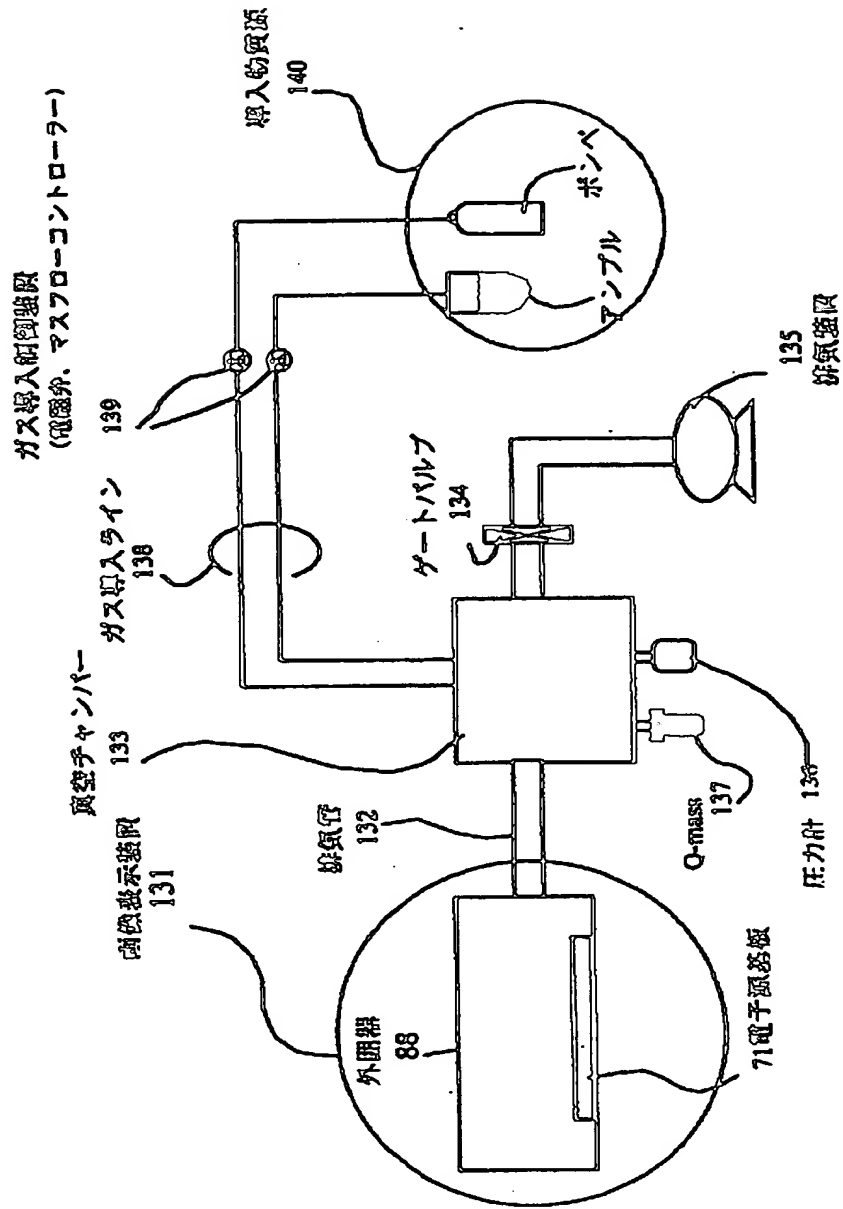
【図 2 1】



【図 2 2】



【図 23】



【書類名】 要約書

【要約】

【課題】 電子放出素子の導電性薄膜を破壊することなく、コンディショニング工程を行うことにより、電子放出素子の特性を均一に保つ。

【解決手段】 基板上に、一対の素子電極及び該素子電極間に形成された導電性薄膜に通電処理により形成された電子放出部を有する電子放出素子の複数個と、該一対の素子電極のそれぞれと接続して形成された行方向配線と列方向配線からなる共通配線と、を有する電子源の製造方法において、

電界を印加するための電極と該基板を対向配置して該電極と該共通配線間に電圧を印加し、該電極と該基板とが形成するコンデンサに蓄えられるエネルギーが、前記導電性薄膜を破壊するエネルギー以下で行われるコンディショニング工程を有することを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社